

## 多重キャリー・スキップを使った大規模マルチプライア

3 F-2

小林芳直 佐藤証 宗藤誠治  
日本アイ・ビー・エム株式会社東京基礎研究所

### 1. 概要

ビット数の多いマルチプライアを構成するための回路技術である。マルチプライアをワラス・ツリーと多重キャリー・スキップ・バイナリ・アダダーの組み合わせで作ることにより、動作速度を大幅に改善することができる。

### 2. 多重キャリー・スキップ・バイナリ・アダダー

キャリー・スキップ・バイナリ・アダダーはバイナリ・アダダーを高速動作させるための、基本的な回路技術である。複数のキャリー・スキップ・バイナリ・アダダーを組み合わせると、多重構造になった多重キャリー・スキップ・バイナリ・アダダーを作ることができる。キャリー・スキップの深さと動作速度には最適点がある。

### 3. ワラス・ツリー

ワラス・ツリーは同位にある1ビットの数を数えて、バイナリに変換する働きがある。演算の初期には効率よくビット数を吸収するが、演算の終わり頃にはリプル・アダダーになるので効率が悪くなる。このため概略のビット数の削減にはワラス・ツリーを使い、最終的な答えを見つげるところには高速バイナリ・アダダーを組み合わせるのが一般的である。ワラス・ツリーの構成単位はフルアダダーである。フルアダダーは同位にある3本の信号を1本の同位の信号と、1本のキャリー信号に変換していく。このため信号の総数は同位の信号数が1/3の等比級数で減り、同じ数がキャリーとしてMSB側に移る。結果として信号の総数は2/3の等比級数で減っていく。 $n$ ビットのマルチプライアなら $n$ 位目の積項数が $n$ で最大であり、これを項数2にするためには $\log_{3/2} n$ 程度のディレイが必要になる。

### 4. 本方式の説明

本方式ではワラス・ツリーの出力項数はある決まったパターンにする必要がある。まず $n$ ビットマルチプライアの2つの $n$ ビット入力の最大値は $2^n - 1$ なので、これを2つ掛けたものがマルチプライアのとりうる最大値となる。つまり

A high-speed multiplier using multiple-carry-skip architecture  
Yoshinao KOBAYASHI, Akashi SATOH, Seiji Munetoh  
Tokyo Research Laboratory, IBM Japan Ltd.  
1623-14, Shimotsuruma, Yamato-shi, Kanagawa 242, Japan

$$(2^n - 1) \times (2^n - 1) = 2^{2n} - 2^{n+1} + 1$$

これを変形して

$$2^{2n} - 2^{n+1} + 1 = (2^{2n-1} - 1) + (2^{2n-1} - 2^{n+1} - 2) + 4$$

この計算は次のように解釈することができる。まず第一項について $(2n-1)$ ビットのすべてのビットが1になったものである。つまり

111.....1111111

次の第2項については、LSBから $(n+2)$ 番目に0があり、さらにLSBが0になっているから

111.....1110111.....111110

↑  
中央

第3項は4なので

000.....000100

となる。つまりワラス・ツリーの出力の項数は

222.....2221222.....222321

↑  
中央

という項数列にすることができる。この項数列が本方式の指定する項数列である。

ワラス・ツリーは次の手順で作ることができる。

- 1) 項数が3, 2, 1である最下位には手を付けない。
- 2) 項数が3以上で $3x+a$  ( $a=0, 1, 2$ )と書けるとき、これに $x$ 個のフルアダダーを作用させてその桁の項数を $x+a$ に減らし、またその際に発生した $x$ 個のキャリーを上位桁へ渡す。
- 3) フルアダダーの適用がなくなれば終了、そうでなければ2)に戻る。

ワラス・ツリーの出力信号は各々についてフルアダダーを通過した回数だけのディレイが加わっている。ディレイは中央から $\log_3 n$ だけMSBよりのところで最大値をとる。

### 5. ワラス・ツリーの出力の分割処理

こうして作られたワラス・ツリーの出力はLSBからMSBまでを3分割して、それぞれの部分について別の方式の回路で加算をする。3分割するところは、ワラス・ツリーの出力のLSBから2つめと、中央からMSB側より2つめである。それぞれをLSB側から順番にW1, W2, W3とする。W1の項数は2, 1であり、これはマルチプライアを作る時の最初の積項がその

まま露出したものである。W2についてはMSB側にむかってディレイが上り坂になる。W2は最上位が項数1で、項数2が続き、最下位の項数が3で終わる。ワラスツリーの出力をバイナリ・アダーで加算しようとする、W2の中ではキャリー信号が2本発生する。このため特殊なバイナリ・アダーが使われる。

6. キャリー・スキップの深さの決定

ワラス・ツリーの入力項数を  $k$  としてディレイは  $\log_{3/2} k$  で与えることができるので、これを微分するとディレイ分布の傾きがわかる。傾きの逆数がステップの長さになり、 $\ln 1.5 \cdot k$  が中央付近の最も傾斜がなだらかな部分のステップの長さである。ここで  $\ln 1.5 = 0.4054\dots$  なので約  $0.4k$  がステップの長さになる。この  $0.4k$  の長さの加算を再短時間で実行するアダーが、マルチプライアの動作速度も最大にする。アダーのビット数  $N$  と、動作速度を最大にするキャリー・スキップの深さ  $x$  の関係は次のようになる。ここで  $m$  はリプルアダーの長さである。

行することができる。W2の最終段のディレイ・マージンは  $(m+2x+1)$  にである。でW2の最終段と同じローカル・アダーを使うと、このローカル・アダーの長さは  $0.4N$  あるので、残りは  $0.6N$  になる。ここで

$$N1 = \frac{1}{(x+1)!} m(m+1)(m+2)\dots(m+x)$$

とすると

$$N2 = \frac{1}{(x+1)!} (m+2)(m+3)\dots(m+x)(m+x+1)(m+x+2)$$

が次にくるローカル・アダーの長さになる。なぜなら次のアダーのディレイ・トレランスはワラス・ツリーのディレイが1段少なくなるので1と、キャリー・スキップの性質から1増やしてよいのを合わせてローカル・アダー単体ではディレイ2が増えてもいいことになる。ここで  $N1$  と  $N2$  の比を考えると

$$\frac{N2}{N1} = \frac{(m+x+1)(m+x+2)}{m(m+1)}$$

ここに  $n$  と  $m$  の代表的な値を入れてみると1段キャリー・スキップの場合  $x=1, m=6$  で

$$= 1.71428\dots > 1.5$$

これ以外の組み合わせについてもこの値は1.5よりも大きくなる。これは2つ目のローカル・アダーの長さが  $0.6N$  より長くなり、ここですべての加算が完了することを意味する。

8. 結論

本方式で1024ビットのマルチプライアを組んだ場合には6Mゲートとなり、近い将来には実現可能になる数字である。このマルチプライアが実現した場合にはRSAの演算を代表とする多ビットの演算が画期的に速くなる。

表1 キャリースキップの深さ  $x$  とアダーのビット数  $N$

$x$	$m$	$N$
0	4	10
1	6	55
2	7	235
3	9	1407
4	11	8707
5	12	37380

7. W3の加算

W3についてはキャリーが1本なので、加算は多重キャリー・スキップ・バイナリ・アダーを使って実

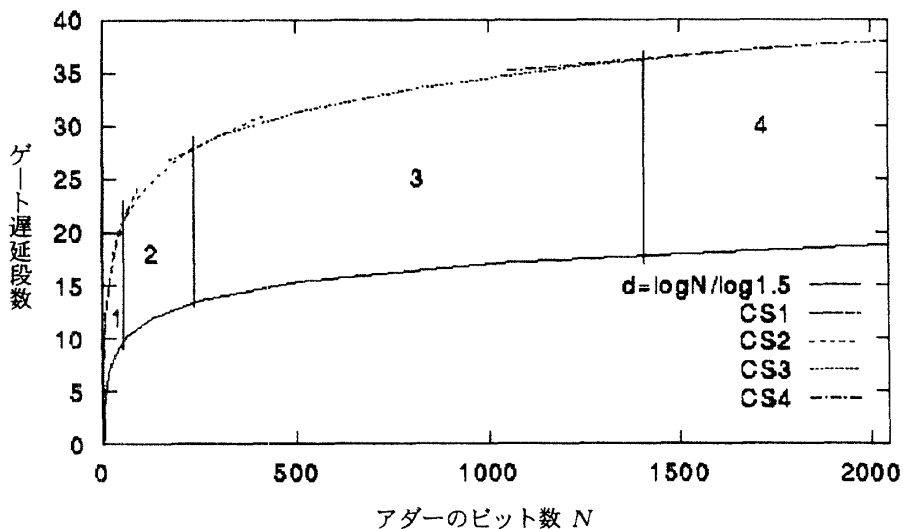


図1 キャリースキップ段数の最適曲線