

# Frame Switching 方式による HDLC フレーム LSI の実現

6N-4

— CORE framer —

川野哲生 八木哲 丸山充 村上健一郎

NTT ソフトウェア研究所

## 1 はじめに

我々が新たに提案する Frame switching<sup>1), 2), 3)</sup> と呼ぶ高速データ通信方式用の HDLC フレーム LSI の開発を行った。本 HDLC フレーム LSI は SONET/SDH 上にてバイト同期 HDLC フレームの転送を行うためのものである。本稿では、本 HDLC フレーム LSI の仕様および開発環境について述べ、最後に今後の予定について述べる。

## 2 Frame over SONET/SDH の概要

図1に我々の提案する Frame over SONET/SDH で用いるバイト同期 HDLC のフレーム形式を示す。各 HDLC フレームはフラグ (0x7e) から始まり、次のフラグ迄が1つの HDLC フレームとなる。各 HDLC フレームは、アドレス部、制御部、プロトコル部、情報部、フレーム検査シーケンス (FCS) により構成する。FCS には CRC-16 あるいは CRC-32 を用いる。フレーム間はフラグ (0x7e) で埋める。フレーム内の 0x7e 値のデータをフラグと区別するためコントロールエスケープ (0x7d) を定義している。フレーム内の 0x7e は 0x7d, 0x5e の 2 バイトで、0x7d は 0x7d, 0x5d の 2 バイトで置換えられる。

Flag	Destination address	Control	Protocol	Information	FCS
8 bits	8 bits	8 bits	16 bits	64 KBytes	16 or 32 bits

図 1: バイト同期 HDLC フレーム形式

HDLC Framers LSI Chip for Frame Switching.  
 Tetsuo KAWANO, Satoru YAGI, Mitsuru MARUYAMA and  
 Ken-ichiro MURAKAMI  
 NTT Software Laboratories  
 9-11 Midori-cho 3-Chome Musashino-sh, Tokyo 180 Japan.

## 3 HDLC フレーム LSI 仕様

本 HDLC フレーム LSI は以下の機能を提供する。

- SONET/SDH ベイロード部からの HDLC フレームの抽出, SONET/SDH ベイロード部への HDLC フレームの挿入, および, HDLC フレーム内のフラグエスケープ処理
- FCS の計算および検査 (CRC-16, CRC-32 を選択可能)
- STM-1(SDH), STS-3(SONET) のスピードレート (156Mbps) をサポート
- システム側は送受信それぞれ 16 ビットの FIFO インターフェースを提供
- 設定, 制御, 監視のための 8 ビットマイクロプロセッサバスインターフェースを提供

HDLC フレーム LSI の構成を図2に示す。回線側は PMC 社の SONET/SDH Path Terminating Transceiver と、プロセッサバス側は外部 FIFO メモリとのインターフェースを持つ。

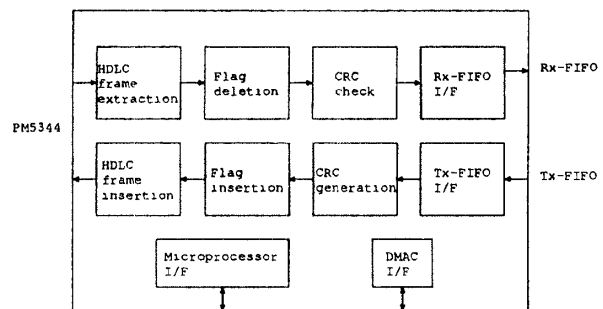


図 2: HDLC フレーム LSI 構成図

## 4 設計環境

今回の LSI 開発には、我々の提案する frame switching 方式のプロトコル検証を早期に行うため、フレーム

LSI の仕様変更や機能追加等に柔軟に対応する必要があった。そのため、ハードウェア記述言語 (VHDL) を用いて設計、回路合成を行ない、書き換え可能な LSI(FPGA) 上に目的の回路を実現した。また、このような開発手法を用いたため、短期間での回路デバッグが可能となった。今回用いた開発ツールは以下の通りである。

VHDL シミュレータ: Synopsys 社 VSS  
 VHDL 論理合成: Synopsys 社 FPGA Compiler  
 FPGA 配置配線: Altra 社 MaxPlus2

FPGA には Altera 社 FLEX10K シリーズで 1996 年 5 月現在利用可能であった EPF10K50RC240-5 を使用した。本 FPGA は今回の用途に対しては十分以上のゲート規模を持つが、今回は設計変更に対する余裕を大きくするため、敢えて大きめのデバイスを選択した。

## 5 論理合成について

FPGA を用いた設計においては、しばしばその動作速度が問題点となる。本 HDLC フレームの設計において、もっとも速度的に厳しい部分は 8 ビット入力 CRC-32 の計算部であった。CRC の計算はビットシリアルなデータ入力に対してはレジスタと数個の XOR ゲートのみの簡単な回路で実現できるものであるが、今回のバイト同期 HDLC の場合、各クロック周期で 8 ビット分の計算を行う必要がある。8 ビット入力 CRC-32 の計算回路におけるレジスタ間最大遅延パスは、6 段の 2 入力 XOR および 1 段の OR 回路からなる。

Altera 社 EPF10K50RC240-5 上に回路を実現したところ、CRC-32 計算部の最大動作周波数は約 25MHz となり、STM-1/STS-3 スピード (19.44MHz) を達成できた。なお、本 HDLC フレームの使用ゲート数は約 2 万ゲートであった。

## 6 動作検証について

本 HDLC フレーム LSI の設計と並行して、SBus 版 SONET/SDH インターフェースカードおよびドライバソフトウェアの設計製作を行った。これにより SBus カードの完成から 1 ヶ月弱でデバッグを完了でき、トータルで約 3.5 ヶ月の短期間での開発に成功した。

## 7 622Mbps 版について

今後 622Mbps 版 (STM-3/STS-12 用) の開発を行う予定である。622Mbps 版の開発にあたり、156Mbps 版と同様に FPGA が利用可能であるかの予備評価を行った。622Mbps 版においては 32bit 入力 CRC-32 の計算を 19.44MHz のクロック速度で動作させる必要がある。32bit 入力 CRC-32 の計算におけるレジスタ間最大遅延パスは 16 段の 2 入力 XOR および 1 段の OR 回路から

表 1: 32bit 入力 CRC-32 の最大動作周波数

使用 FPGA	最大動作周波数
A 社	14.1MHz
B 社	21.9MHz
C 社	18.2MHz
D 社	15.7MHz

なる。1996 年 12 月現在入手可能で 1 万ゲート相当以上で、かつ、I/O 数 100 以上の各社 FPGA について 32bit 入力 CRC-32 の計算部を Synopsys 社 FPGA Compiler にて論理合成し、各社 FPGA 開発ツールを用いて配置配線を行い、最大動作周波数の評価を行った。表 1 にその結果を示す。この結果、現在入手可能な FPGA の速度は約 14MHz ~ 22MHz 程度であり、今回評価した製品中では 1 製品のみが所望の速度を達成した。

## 8 おわりに

我々が新たに提案する Frame switching と呼ぶ高速データ通信方式用の 156Mbps(STM-1/STS-3) 版 HDLC フレーム LSI を開発した。本 LSI は、ハードウェア記述言語 (VHDL) と書き換え可能 LSI(FPGA) を用いて設計を行ったことにより、プロトコル検証のための仕様変更や機能追加等に柔軟に対応することが出来た。

また、622Mbps(STM-3/STS-12) 版 HDLC フレーム LSI の開発に向けて、予備評価を行い、622Mbps 版 HDLC フレーム LSI が FPGA で実現可能である見込みが得られた。今後 FPGA を用いた 622Mbps 版 HDLC フレーム LSI の開発を行なう予定である。

## 謝辞

本研究の機会を与えていただいた、NTT ソフトウェア研究所 広域コンピューティング研究部の市川晴久部長、高橋直久グループリーダーならびに共に開発を進めていただく吉田敏明さん、小林正之さん、佐島隆博さんに感謝いたします。

## 参考文献

- 1) 村上, 丸山, 八木, 川野, “超高速データ通信方式 Frame Switching の概要—Frame over SONET/SDH—”, 情処第 54 会論文集, 1997 年 3 月。
- 2) 丸山, 川野, 八木, 村上, “Frame Switching 方式による通信インターフェースの実現と評価—SONET-LAN—”, 情処第 54 会論文集, 1997 年 3 月。
- 3) 八木, 川野, 丸山, 村上, “Frame Switch エミュレータの実現—CORE-Switch—”, 情処第 54 会論文集, 1997 年 3 月。