

## 分解されたPLAのテストビリティについて

3H-9

森美紀<sup>†</sup> 庄司隆夫<sup>†</sup> 松崎英樹<sup>‡</sup> 井口幸洋<sup>†</sup> 山田輝彦<sup>†</sup><sup>†</sup>明治大学工学部情報科学科 <sup>‡</sup>明治大学情報科学センター

## 1. はじめに

PLA(Programmable Logic Array)は、その規則的な構造により論理設計やレイアウト設計の自動化が容易である。そのため、マイクロプロセッサの制御部やマイクロコード部などの論理回路を実現するために広く用いられている。

論理回路を単一のPLAで実現する場合に比べ、より小さなPLAに分解して実現するほうがチップ面積を削減できる。また、遅延も小さく抑えられることが多い[1]。

ランダムパターンによるテストを考えた場合、PLAはそのファンインの多いことからテストビリティが良くないと言われている。PLAを分解することによって個々のPLAブロックのファンインを小さく抑えることができれば、テストビリティを改善できる可能性がある[2]。

そこで、相互に接続されたPLAに対する並列故障シミュレータPLANCS(PLA Network Crosspoint Fault Simulator)を使用して、大規模なPLAを分解したときのランダムテスト容易性の変化について実験を行った。ここでは、その実験結果を提示し、それについて考察をする。

## 2. PLAの直列分解と並列分解

ここでは、次に述べる方法により直列分解と並列分解を行なった。

## Weak-Divisionに準拠した直列分解法 [3]

複数のAND-OR論理式に共通な部分論理式を前段のPLAで表わし、残りを後段のPLAで表わすことによって分解を行なう。

直列分解の結果、前後に共通な入力と前段の論理関数のために後段には入力されない値の組合せが生じる。この入力の値の組合せ(SDC:Satisfiability Don't Care)をDon't Careとすることで、後段のPLAをさらに単純化する[4]。

## 畳み込みを活用した並列分解法 [5]

ワンカット行畳み込みは、互いに入力線および出

Random Pattern Testability of PLA Decomposition

Miki MORI<sup>†</sup>, Takao SYOUI<sup>†</sup>, Hideki MATSUZAKI<sup>‡</sup>,  
Yukihiko IGUCHI<sup>†</sup>, Teruhiko YAMADA<sup>†</sup>

<sup>†</sup> Dept. of Computer Science, Meiji Univ.

<sup>‡</sup> Information Science Center, Meiji Univ.

力線を共有しない2本の積項線を、切断点を境に対向した配置とすることによって、面積を削減する手法である。対向する積項線群を別々のPLAで実現することにより並列分解を行なう。

## 3. 実験結果

ベンチマークPLA\*を用いて評価実験を行なったところ、表1の結果が得られた。この実験では、元のPLAにESPRESSO-III[6]による単純化を、並列分解したそれぞれのPLAにもESPRESSO-IIによる単純化を、また直列分解ではSDCによるDon't Careを考慮してESPRESSO-IIによる単純化を施した。表1のvg2について、テストパターン数に対する故障検出率を表わしたものが図1である。

表1および図1より次のことが明らかとなった。

- (1)分解により一般に冗長故障の数が減少する。
- (2)直列分解により、元のPLAより少ないテストパターン数(数分の1~数百分の1)で同等の故障検出率が得られる。
- (3)並列分解によるテストビリティの改善効果はあまりない。

図2の(a)と(b)は、vg2の直列分解および並列分解後における、積項線1本当たりのANDデバイス数(以下ではファンイン数と云う)に対する積項線数の分布を示したものである。同図(a)のように元のPLAではファンイン数の最大値が18であったが、直列分解後は15に減少している。この減少がテストビリティの向上につながったと考えられる。一方(b)に示されるように、並列分解では元のPLA中の積項線をほぼそのまま2つに振り分けた形となっている。このことが上記(3)の原因と考えられる。

## 4. むすび

PLAのランダムテスト容易性を改善するためには、ファンインの最大値を減少させることが重要である。それは直列分解によって可能である。大規模なPLAを分解する際、面積・遅延とともに、テストビリティを向上させることも考慮した手法を検討していく予定である。

\* ESPRESSO-II添付, Brayton教授提供のものを用いた。

表1 テスタビリティの評価結果

	PLA		入力	出力	積項	冗長故障	検査対象故障	テストパターン数			
								故障検出率 [%]			
								80.0	90.0	95.0	99.0 ~
ryy6	分解前		16	1	112	880	2,816	30,000	40,000	50,000	60,000
	直列分解	前段	8	3	8	16	136	300	300	500	600
		後段	11	1	7	20	141				
	並列分解	1	注：出力線が1本の為、並列分解不可能					-	-	-	-
2							-	-	-	-	
ts10	分解前		22	16	128	0	7,680	300	500	600	1,000
	直列分解	前段	20	16	64	0	3,584	80	200	300	400
		後段	18	16	32	0	1,664				
	並列分解	1	21	8	64	0	3,200	300	500	600	1,000
2		21	8	64	0	3,200					
vg2	分解前		25	8	110	314	6,066	4,000	20,000	200,000	800,000
	直列分解	前段	11	2	10	4	236	300	2,000	9,000	40,000
		後段	16	8	22	54	826				
	並列分解	1	25	2	50	110	2,490	5,000	20,000	200,000	800,000
2		18	6	60	134	2,386					
bc0	分解前		21	11	178	435	8,999	3,000	10,000	40,000	200,000
	直列分解	前段	5	1	5	20	35	3,000	7,000	30,000	200,000
		後段	22	11	173	526	8,989				
	並列分解	1	18	2	59	117	2,125	3,000	9,000	30,000	200,000
2		21	9	166	429	8,037					

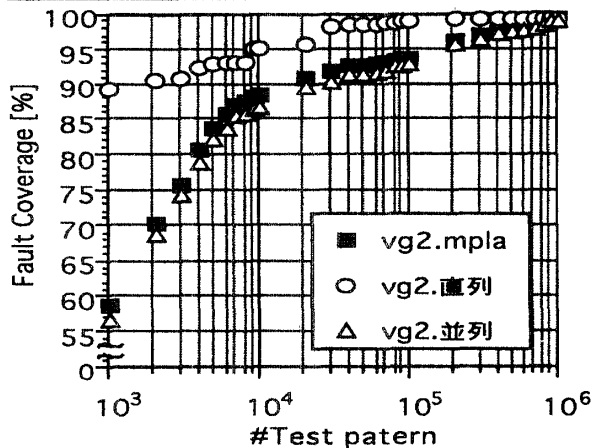
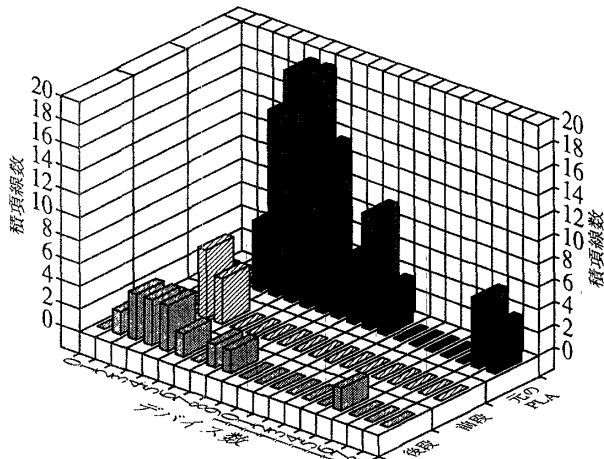


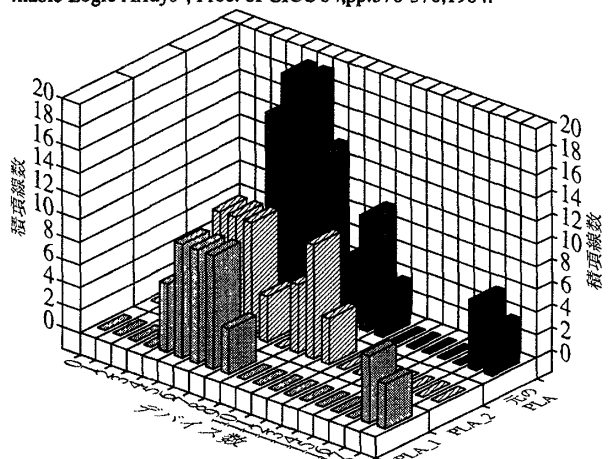
図1 テストパターン数に対する故障検出率

参考文献

- [1] S.Malik and R.H.Katz, "Combining Multi-Level Decomposition and Topological Partitioning for PLAs", Proc. of ICCAD'87, pp.112-115, 1987.
- [2] E.B.Eichelberger and E.Lindbloom, "Random-Pattern Coverage Enhancement and Diagnosis for LSSD Logic Self-Test", IBM J.R&D, Vol.27, pp.265-272, 1983.
- [3] R.K.Brayton and C.T.McMullen, "The Decomposition and Factorization of Boolean Expressions", Proc. of ISCAS'82, pp.49-54, 1982.
- [4] 笹尾, 論理設計—スイッチング回路理論—, 10章, 近代科学社, 1995.
- [5] 井口, 松島, 松崎, "量み込みを活用したPLAの並列分割", 信学技報, VLD95-91, 1995.
- [6] R.K.Brayton, G.D.Hachtel, C.T.McMullen and A.Sangiovanni-Vincentelli, "ESPRESSO-II: A New Logic Minimizer for Programmable Logic Arrays", Proc. of CICC'84, pp.370-376, 1984.



(a) 直列分解



(b) 並列分解

図2 直列・並列分解されたPLAのファンイン分布の例