

# CPLD用PLAの分解についての一検討

3H-7

松島祐介<sup>†</sup> 清水郷史<sup>†</sup> 松崎英樹<sup>‡</sup> 井口幸洋<sup>†</sup> 山田輝彦<sup>†</sup>

<sup>†</sup> 明治大学工学部情報科学科 <sup>‡</sup> 明治大学情報科学センター

## 1.はじめに

CPLD(Complex Programmable Logic Device)は複数のPLA(Programmable Logic Array)と配線領域とからなるユーザプログラマブルなデバイスである[1][2]。CPLD内の個々のPLA部分にはアーキテクチャ上の制約があるため、大規模な論理関数をそのままでは実現できない場合が多い。そこで、アーキテクチャ上の制約条件にあうように論理関数を分解することが必要となる。

本稿では、回路の遅延を抑えるためにPLAの段数を直列2段にした並直並分解を行い、分解によるCPLDへの収容性を調べ、問題点を考察する。

## 2.PLAの直列分解と並列分解

本稿では、次に述べる直列分解と並列分解の手順を用いて並直並分解を行った。

### Weak-Divisionに準拠した直列分解法[3]

複数のAND-OR論理式に共通な部分論理式を前段のPLAで表わし、残りを後段のPLAで表わすことによって分解を行うことができる。図1(a)のPLAを直列分解した例を(b)に示す。

(b)において $v1 = \bar{c}d + c\bar{d}$ であるから後段のPLAに $(v1, c, d) = (1, 0, 0), (0, 0, 1), (0, 1, 0), (0, 1, 1)$ は入力されない。同様に $(v2, a, b) = (1, 0, 0), (0, 0, 1), (0, 1, 0), (0, 1, 1)$ も後段のPLAに入力されない。このような入力をSDC(Satisfiability Don't Care)という[4]。SDCをDon't Careとすることで後段のPLAを簡単化し、直列分解の性能を向上させることができる。(b)をこの方法を用いて簡単化し、積項線数が1つ削減された結果を(c)に示す。

### 畳み込みを活用した並列分解法[4]

PLAの畳み込みとはPLAの入力線/積項線に切断点を設け、未使用の領域を縮小する手法である。この畳み込みを活用してPLAの並列分解を行うことができる。図2(a)のPLAを畳み込んだ例を(b)に示す。(b)の切断点よりも左の出力(f1)と右の出力(f2及びf3)にPLAを分解すると(c)のPLAが得られる。

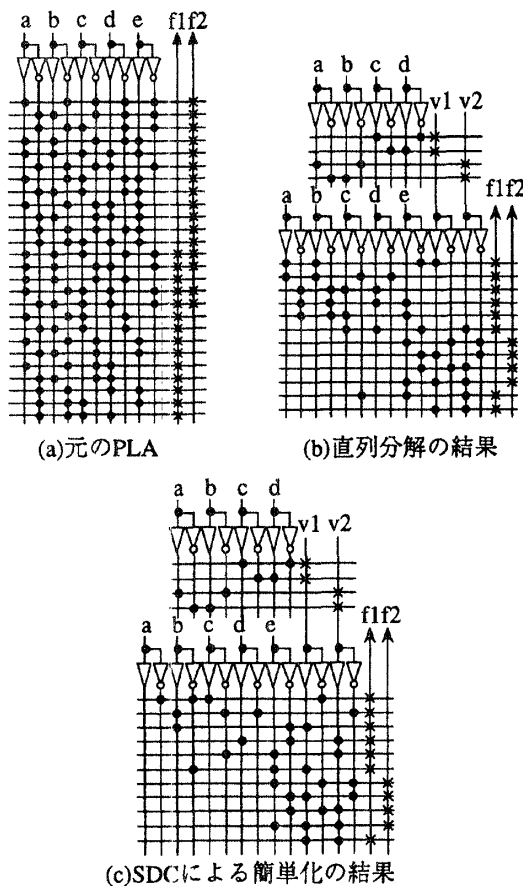


図1 Weak-Divisionを用いた直列分解の例

A Study on PLA Decomposition for CPLDs

Yu-suke MATSUSHIMA<sup>†</sup>, Satoshi SHIMIZU<sup>†</sup>, Hideki MATSUZAKI<sup>‡</sup>, Yukihiro IGUCHI<sup>†</sup>, Teruhiko YAMADA<sup>†</sup>

<sup>†</sup> Dept. of Computer Science, Meiji Univ.

<sup>‡</sup> Information Science Center, Meiji Univ.

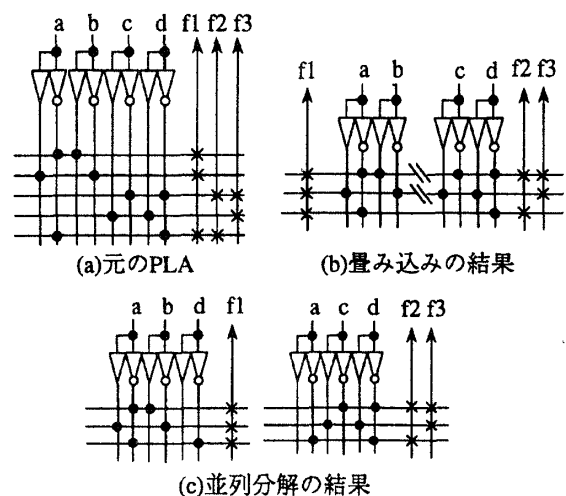


図2 畳み込みを活用した並列分解の例

### 3. CPLDと並直並分解

CPLDは複数のPLAとそれらを相互接続する配線領域とを1つのチップに集積したものである。個々のPLA部分にはアーキテクチャ上の制約条件があるので、与えられた論理関数がこの制約条件を満たさない場合には分解を行う。回路の遅延を抑えるために図3に示すように、直列分解の段数を2段程度に抑えた並直並分解を行う。

制約条件は対象とするCPLDによって異なる。本稿では、図4に示す16個のPLAを持つAMD社のMACH465を想定し、以下のような制約条件を設定した。

外部端子に関する制約

- 1)外部入出力数 $\leq 208$ (外部ピン数)

PLAに対する制約

- 2)入力数 $\leq 34$ (最大入力数)
- 3)出力数 $\leq 16$ (最大出力数)
- 4)ORデバイスの数 $\leq 80$ (最大積項数)
- 5)積項数 $\leq 20$ (1出力あたりの最大積項数)

注)積項数は通常5個までであるが最大20個まで拡張できる。このとき、隣接する出力の積項を用いるので制約3)が厳しくなる。

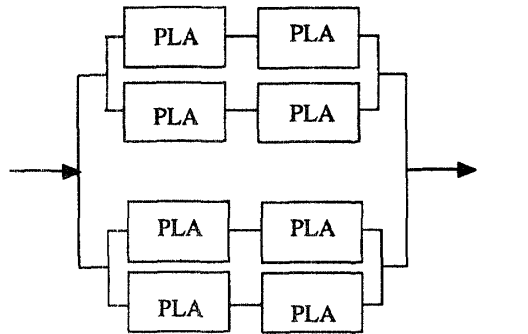


図3 並直並分解

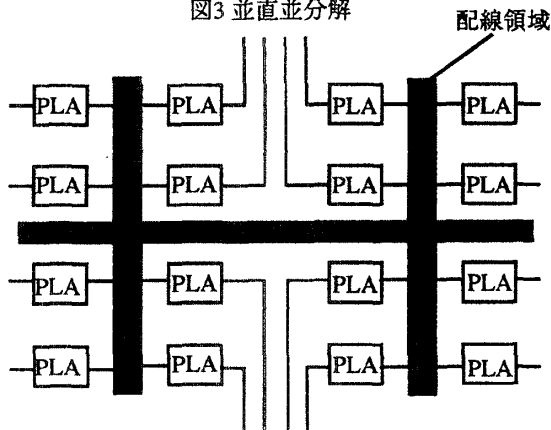


図4 MACH465の構造

### 4. 実験結果

160個のベンチマークPLA\*に対して図3のような並直並分解を行い、CPLDへの収容性について評価実験を行った。なお、分解の前後にESPRESSO-II[6]による単純化を行った。結果を図6に示す。分解なしで収容可能であったものは18%、分解によって新たに収容が可能になったものは25%であった。

CPLDでの実現が不可能なものは、制約条件3, 4, 5のいずれかに違反したためであった。この問題は収容できなかったPLAに対して以下に示す若干の工夫を行うことで解決できた。

制約3:並列分解でPLA1個の出力を減らす

制約4:並列分解でPLA1個のORデバイスを減らす

制約5:前段のPLAを利用して積項数を減らす

これによって新たに34%のPLAが収容可能となり、合計77%のPLAが収容可能であることがわかった。

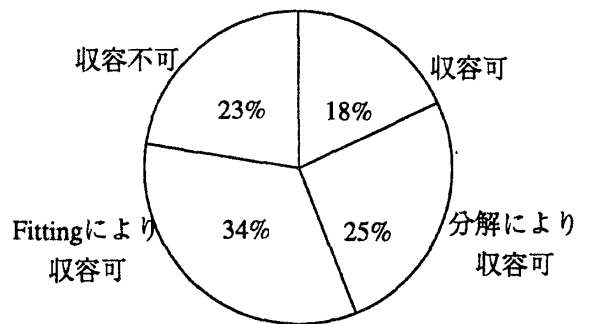


図6 並直並分解の収容性

### 5. まとめ

PLAを並直並分解し、CPLDへの収容性について評価を行った。実験では分解と若干の工夫によって77%のPLAが収容できた。対象とするデバイスを考慮した分解の方法を検討すれば、更に高い収容性の実現できる。これについては現在検討を行っており、システムを開発中である。

### 参考文献

- [1]MACH 3 and 4 Family Data Book,AMD,Inc.,1993.
- [2]Stephen Brown, Jonathan Rose,"FPGA and CPLD Architectures: A Tutorial", IEEE Design & Test of Computers,Summer,1996.
- [3]R.K. Brayton and C.T. McMullen,"The Decomposition and Factorization of Boolean Expressions", Proc. of ISCAS'82, pp.49-54, May,1982.
- [4]笹尾,論理設計—スイッチング回路理論—,10章,近代科学社,1995.
- [5]井口,松島,松崎,"畳み込みを活用したPLAの並列分割",信学技報,VLD95-91,1995.
- [6]R.K. Brayton,G.D. Hachtel,C.T. McMullen and Sangiovanni-Vincentelli,"ESPRESSO-II: A New Logic Minimizer for Programmable Logic Arrays",Proc. of CICC'84,pp.370-376,1984.

\*.ベンチマークPLAはESPRESSO-II添付, Leuven University, 九州工業大学 笹尾勤教授、Brayton教授提供のものを用いた。