

パッケージ内配線のための概略配線手法

3H-4

江藤 博明 濱 利行

日本アイ・ビー・エム株式会社 東京基礎研究所

1 はじめに

LSI パッケージは、LSI のシリコンチップをプリント基板に実装するための入れ物であり、その配線構造はシリコンチップ、ボンディングワイヤ、ボンディングパッド、パッケージ端子およびパッドと端子間を結ぶ配線層からなる。パッケージ内の配線層の役割は LSI チップの設計規則からプリント基板への設計規則への橋渡しである。それゆえパッケージ内配線層の実装はプリント基板の実装よりも設計規則が厳しくなる。加えて単なる橋渡しの配線なので短い方が好ましい。以上のことから配線規則として45度以下を採用しなくてはならない。できれば任意角度配線が好ましい。このことから現実の配線作業では自動ルータを使用することは無く、手作業に頼っている。

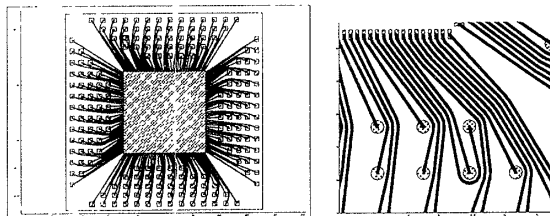


図1 パッケージ配線

図2 嫌われる配線

他にもパッケージ実装には特有の制約が存在する。(1) 実装部材として最も利用されているセラミックを用いた場合ビアは使用できない。この場合には配線層毎に一層配線をしなくてはならない。(2) 信号線以外にメッキ用のパターンを各端子から配線領域の外側に引き出さなくてはならない。このため端子を迂回するような配線は許されないなどである。

パッケージの配線問題は次の二つである。一つは

パッケージ端子のピン割当が指定されており、LSI チップと端子間を配線する問題、2つめはパッケージ端子のピン割当 (net list) が指定されておらず、LSI チップからの配線に応じてピン割当を決定して構わない問題である。

前者は規格化された LSI デザインで要求され、後者は ASIC のデザインで用いられる。どちらも同程度に需要があり、LSI パッケージの端子数が千点を超えるような時代を迎えて配線の自動化が必須になってきた。

2 従来技術

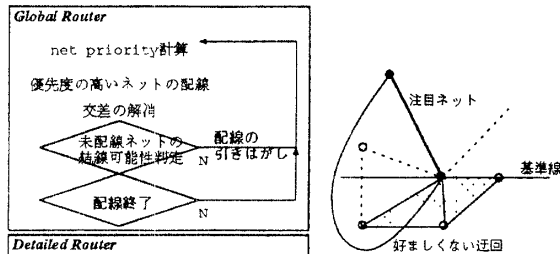
これまで提案された概略配線システムは、容量制約を部分的に解消しながら交差配線の数減らしに行く戦略 (rip-up and reroute) によるもの [3][4] と容量制約を満たす配線の置く順番 (net ordering heuristics) を探索するもの [1] がある。パッケージ内の端子間隔は狭く、配線密度は高いため容量制約の部分的な解消では制約を解消しきれない。後者では配線探索空間が莫大なものとなるため、探索を絞り込むための手法と配線の順位付けが重要になる。

一方、net list が無い配線問題では、Yuらにより特別なルータが提案されている [5]。パッケージ内配線は二端子配線からなることを前提とするが、配線と同時に端子割当を行う。要は交差を許す配線問題と捉え、これを最大ネットワークフローとして解き、配線の交差を端子割当を入れ替える事で解消するものである。やはり容量制約を部分的に解消しているだけなので、最終的に編集を必要とする。

3 概略配線手法

我々の配線システムは net list のある配線問題を対象にしている。システム全体とその処理の流れ

を下図に示す。要は一本ずつ交差しない様にネットを配線し、配線できなければ別のネットを試すという戦略である。ネットの配線候補は濱ら [2] によって提案された手法により、容量制約を満たしかつ他の配線と交差しない。したがって最終的に得られる配線は容量制約を満たす。



配線探索でより良い解に早く到達するためにはネットの配線順と未配線ネット結線可能性判定が重要である。ここではパッケージ配線に効果の期待できるプライオリティ付けと結線可能性判定手法について述べる。

パッケージ配線ではメッキ用パターンを後から入れられるように、配線の余分な迂回を禁止している。基板の下辺に近い端子を例にとると、端子から伸ばした水平線よりも下へ回り込んでいる配線である。また基板の右辺に近い端子では鉛直線よりも右から回り込んでいる配線である。

そこで配線の形状評価値を導入し、迂回した配線は悪い(大きな値)評価を与える事にした。また基板外形の位置とは無関係に配線の評価するために、二端子間を結んだ直線の角度によって回り込み判定用の基準線を決定する事にした。二端子間を結んだ直線の角度と基準線の間隔を次に示す。

- ・鉛直線に対して-30度から+30度ならば水平線、
- ・水平線に対して-30度から+30度ならば鉛直線、
- ・それ以外ならば水平線と鉛直線を基準線とする。

我々のシステムでは端子を頂点とする三角形分割により配線領域を表現している。そこで基準線に交差せずかつ二端子とは反対側の三角形を通過する配線に付いて悪い形状評価値を与える(下図)。配線のプライオリティは次式で与える。(L:配線長, S:形状評価値, L^{before} , S^{before} , L^{after} , S^{after} :注目したネットと交差するネットの配線長と形状評価値および交差ネットが押し退けられた後の配線

長と形状評価値)

$L + S + \sum_i (L_i^{after} + S_i^{after} - L_i^{before} - S_i^{before})$ この値が小さい物程高いプライオリティを持つ。押し退けた配線の形状を悪くするようなネットの配線プライオリティは下がり、回り込み配線を避けられる。

結線可能性判定は未だ配線していないネットをすべて配線することはできないということ进行测试する。これにより探索を早い段階であきらめ、次の探索を試せる。このテストとして交差を許す配線として残りのネットを配線できるか調べているが、この問題もNP完全である。ところがネットはすべて二端子配線であると仮定すると最大ネットワークフローの問題に帰着でき、多項式時間でテスト可能である。この場合も容量制約は部分的なものであるが、配線できないというテストに対して控えめな評価を与えるだけ、つまり探索の刈り取りが多少遅くなるだけである。

4 まとめ

一層配線ルータに節3の手法を取り入れる事で無駄な迂回を解消でき、かつ配線容量違反の無い配線を生成できた。その実行時間は176ネットのサイズの問題についてIBM RS 6000 Model 43P(133MHz)で110秒程度であった。

参考文献

- [1] Hiroaki Etoh and Toshiyuki Hama. A single-layer global router. (submitted to DAC '97).
- [2] Toshiyuki Hama and Hiroaki Etoh. Topological routing path search algorithm with incremental routability test. ASP DAC '97.
- [3] Manuela Raith and Marc Bartholomeus. A new hypergraph based rip-up and reroute strategy. In *Proceedings of the 28th ACM/IEEE Design Automation Conference*, pages 54-59, 1991.
- [4] Eric Rosenberg. A new iterative supply/devand router with rip-up capability for printed circuit boards. In *Proceedings of the 24th ACM/IEEE Design Automation Conference*, pages 721-726, 1987.
- [5] Man-Fai Yu and Wayne Wei-Ming Dai. Pin assignment and routing on a single-layer pin grid array. In *Proceedings of 1st Asia and South Pacific Design Automation Conference*, pages 203-208. IEEE, 1995.