

1 R-3

## データベースプロセッサ GREO-1F 高機能バスインタフェース制御方式

石合哲郎, 中込宏, 佐藤誠, 金子和行, 武尾哲也, 石井静雄・

三菱電機株式会社, \* 大森電機工業株式会社

### 1 はじめに

GREOは、当社の開発した付加型データベース・プロセッサである。今回発表のGREO-1Fは従来機種をさらに高速化し、その寸法を従来と同サイズの基板1枚に収めた製品である。本稿では特に、その内部ハードウェア構成と、内部データ転送を高速化するために実現したバス制御方式について報告する。

### 2 GREO-1Fの内部ハードウェア構成

GREO-1Fの簡略化した内部ハードウェア構成を図1に示す。

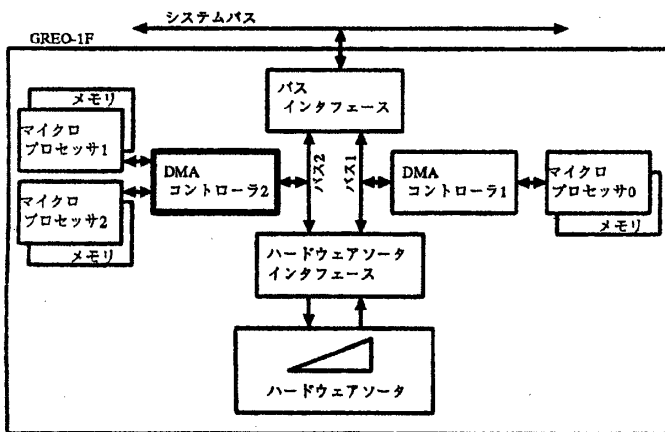


図1 GREO-1F内部ハードウェア構成

GREO-1Fは、次の各ユニットから構成される。

- (1) バスインタフェース GREO-1Fが搭載される、ホストマシンのシステム・バスとのデータ転送を処理するブロックである。
- (2) バス1及び2 GREO-1F内部のデータ転送の主な通路となる2つの内部バスである。
- (3) DMAコントローラ1 主にバス1上のDMA転送を制御するDMAコントローラである。マイクロプロセッサ0のバス転送制御機能も受け持つ。
- (4) DMAコントローラ2 主にバス2上のDMA転送を制御するDMAコントローラである。マイクロプロセッサ1及び2のバス転送制御機能も受け持つ。
- (5) ハードウェアソータ パイプライン・マージ・ソート法によるソート・プロセッサを縦列に接続した構成をもち、ソート処理を実行するブロックである。

(6) ハードウェアソータインタフェース バス1及び2とハードウェアソータとのデータ転送を処理するブロックである。

ホストマシンから送受信されるソートデータは、バスインタフェース、バス2、DMAコントローラ2、マイクロプロセッサ1・2のローカルメモリ、及びハードウェアソータインタフェースを経由して、ハードウェアソータに送受信される。この時、バスインタフェース及びハードウェアソータインタフェースと、マイクロプロセッサ1及び2の各ローカルメモリとの間の転送は、DMAコントローラ2が制御するDMAにより実行される。

### 3 内部バス制御方式

GREO-1Fでは、DMA機能によりマイクロプロセッサのマシンサイクルに関係なく高速な転送を行なう。さらに、DMA転送と同時にデータベース演算処理の一部である射影演算処理を実行する機能を実現した。次項では、この射影演算処理機能の実装について述べる。

### 4 処理テーブルによる射影処理機能の実装

ソートデータ転送のためのDMA転送の起動に先立ち、射影処理の内容を処理テーブルに設定することにより、バスインタフェース経由のDMA転送と同時に転送データに射影処理を施す回路を実装している。その動作と回路構成について述べる。

#### 4.1 射影処理機能の動作

射影処理とは、データベースを操作する時に使用する演算の一つであり、一般にデータベースの中の各レコードを構成するフィールドのうち、特定のいくつかを取り出し、別の新たな表を作成する処理を指す。DMAコントローラ2は、内部に入力されてきた各フィールド・データを、マイクロプロセッサ1及び2のローカルメモリ上に、処理テーブルの内容に従って転送することにより、この射影処理を実現する。処理テーブルには、レコード先頭アドレスからの相対アドレス、及びフィールド長を、各フィールド毎に指定する。図2に射影処理機能の動作説明図を示す。

テーブルアドレス	処理テーブル
000	1 0 相対アドレスA1
001	1 0 相対アドレスA2
002	0 1 レコードID付加相対アドレスIDA
003	0 0 フィールド長AL
004	1 0 相対アドレスB1
005	0 0 フィールド長BL
006	1 1 相対アドレスC1
007	0 0 フィールド長CL

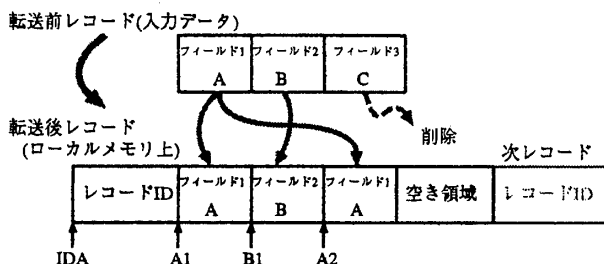


図2 射影処理動作

処理テーブルに射影処理内容を設定し、レコード長/転送ブロック長/転送後レコード長の各レジスタ (以後レコード情報レジスタ群と称する) に値を書き込み、DMA 転送を起動することにより、バスインタフェースより入力されるデータに対して、図下部に示すようにデータ転送が実行される。処理テーブルには、データの各フィールド (図中 A,B,C) の並んでいる順に、各々のレコード中での相対アドレス及びフィールド長の数値を書き込む。2 箇所に重複して転送したいフィールドである場合、相対アドレスを2つ連続して書き込む。また、自動インクリメントされるレコードIDを、指定した相対アドレスに埋め込むことができる。さらに、削除フィールドが指定されると、そのフィールド長分転送をスキップする。これらの数値が表す内容の識別には、処理テーブルの各エントリの最上位2ビットを割り当てている。各2ビットは各々、(1,0)＝”相対アドレス”,(0,1)＝”レコードID 相対アドレス”,(0,0)＝”フィールド長”,(1,1)＝”削除フィールド相対アドレス”を表す。また、転送後レコード長レジスタの値の加算により、次のレコードを転送するベースアドレスの値を決める。この値により、各レコード間の空き領域の大きさを自由に設定できる。

#### 4.2 射影処理制御部の構成

図3に、射影処理機能を実現するための、DMA コントローラ2内部の射影処理制御部の構成を示す。転送開始に先立ち、マイクロプロセッサ1によりレコード情報レジスタ群に情報を書き込んでおく。ブロック外部から転送開始信号が入力されると、制御ブロックは処理テーブルからデータを読み込む指示をアドレス/サイズ演算ブロックに出力する。アドレス/サイズ演算ブロックは、処理テーブルから読んだデータを解析する。一方、制御ブロックからの信号により、レコード情報レジスタ群から、カウンタブロックに転送長データが読み込まれる。

1 フィールドに相当する相対アドレス/フィールド長の読み込みが完了するまで、ウェイト信号により、バス2からのDMA 転送データの入力を待たせておく。読み込みが完了するとウェイト信号が解除され、複数のDMA 転送データがセクタブロック内のレジスタにセットされる。アドレス/サイズ演算ブロックは、処理テーブルから読み込んだ相対アドレスとフィールド長からマイクロプロセッサローカルバス上に送り出す転送データサイズと転送先アドレスを計算し、出力する。データ出力時には、データと同時に出力ストローブ信号を外部メモリに対するチップセレクト信号生成回路に出力する。出力後セクタブロックに空きができると、ウェイト信号解除し、DMA データをセットする。1つのフィールドに対する転送が完了すると、制御ブロックは次のフィールドに対応するテーブルデータを読み込むための転送指示を出力する。こうして、転送ブロック分転送を完了すると、カウンタブロックから制御ブロックへ転送終了の信号が伝達され、制御ブロックは外部DMA 制御回路に転送完了を通知する転送終了信号を出力する。以上のような回路構成により、ハードウェアによる射影処理を実現している。

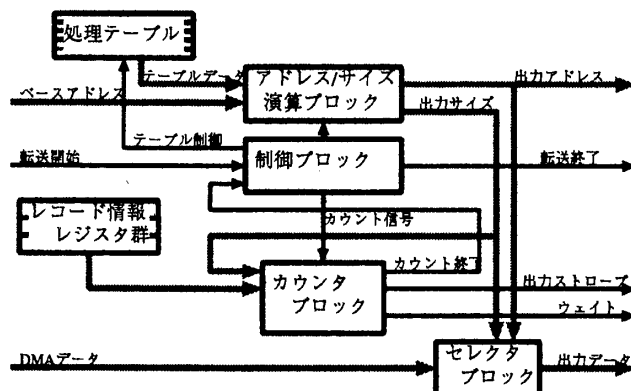


図3 射影処理制御部の構成

#### 4 おわりに

GREO-1Fは、以上述べたような制御回路の内蔵により、内部データ転送を高速に実行するが、射影処理制御回路についてはアドレス/サイズ演算の実行に時間がかかるケースがあり (特にフィールドを2箇所に転送する場合)、改善の余地がある。今後、さらに高速化のための改良を加えることを検討している。

#### <参考文献>

- [1] 安藤他, “リレーショナルデータベースプロセッサ GREO の構成”, 電子情報通信学会, DE89-37, 1989.
- [2] 山岸他, “データベースプロセッサ GREO-1F アーキテクチャ”, 情報処理学会第53回全国大会, 1R-01, 1996.