

Pentium® Pro SMP Bridge Chip Set ハードウェア技術

4 F - 6

安永 裕明、亀丸 敏久、小坂 一樹、中根 清光

三菱電機（株）

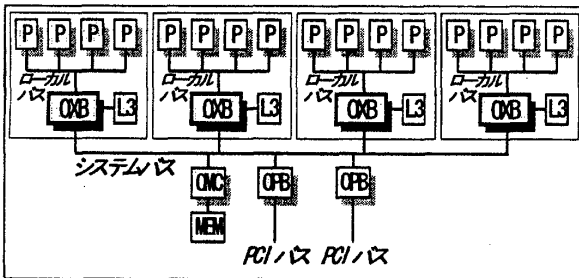
1. はじめに

インテル社の最新プロセッサ Pentium® Proとその周辺チップセットは、最大4プロセッサまでのSMP（対称型マルチプロセッサ）構成をサポートする。この4プロセッサを越える構成を実現するため、SMPブリッジチップセットを開発した。

2. システム構成

SMPブリッジチップセットを使うことにより、最大16プロセッサまでのシステムを構成できる。（図1）

ローカルバス、システムバスはどちらもプロセッサバス仕様に準拠する。プロセッサは1次、2次のキャッシュメモリを内蔵し、1組のSMPブリッジチップセット毎に3次キャッシュメモリを設ける構成をとる。



P: Pentium®Pro プロセッサ
 OMC: メモリコントローラ
 OB: SMPブリッジチップセット
 OPB: PCIバスブリッジ
 L3: 3次キャッシュメモリ
 MEM: メインメモリ

図1 システム構成

3. 機能

SMPブリッジチップセットは次の機能を持つ。

- バスインタフェース機能
- 階層バスブリッジ機能
- 3次キャッシュメモリ制御機能

3.1. バスインタフェース機能

2つのバス（ローカルバス、システムバス）インタフェースは次の機能をサポートする。

- ローカルバスのバスマスタ、バスマスレーブ機能
- システムバスのバスマスタ、スヌープエージェント機能
- パイプライン機能
- スプリット機能

3.2. 階層バスブリッジ機能

階層バス間をブリッジするため、ローカルバスからシステムバスへ、あるいはシステムバスからローカルバスへのトランザクションのフォワードを行う。ブリッジ機能は次の特徴を持つ。

能は次の特徴を持つ。

- ローカルバスのリトライ制御
デッドロックを回避する。
- フォワードマスク
バスの負荷を軽減し、レイテンシを短縮する。
- トランザクション変換
バスの負荷を軽減し、レイテンシを短縮する。
- パイプライン式フォワード
バスのパイプライン機能を活かす。
- トランザクションID変換
スプリット時に使用する。

3.3. 3次キャッシュメモリ制御機能

3次キャッシュメモリのデータ、タグ、LRUに、汎用バーストSRAMを使用し、3次キャッシュメモリの制御機能をチップセットに内蔵した。3次キャッシュメモリに次の方式を採用した。

- 4ウェイセットアソシアティブ
- MESIプロトコル
- 2次キャッシュを包含する

4. 実現方式

SMPブリッジチップセットの機能を達成する上で多くの課題があった。その中から、次の実現方式について説明する。

- デッドロック回避制御
- キャッシュメモリコヒーレンシ制御
- キャッシュメモリリプレース制御

4.1. デッドロック回避制御

ローカルバスからシステムバスへのフォワードと、システムバスからローカルバスへのフォワードを同時に行う時、互いに、一方のトランザクションが終わるまで、もう一方のトランザクションが処理できない状態になるデッドロックの問題がある。（図2）

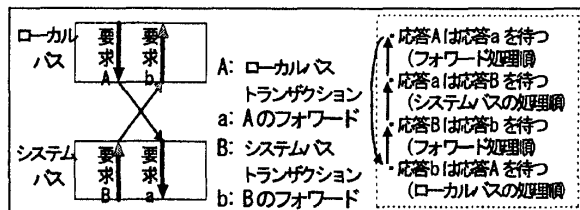


図2 デッドロック

この問題を解決するため、デッドロックが発生する場合、ローカルバスのトランザクションを差戻し、リトライさせる方式を採用した。（図3）

ローカルバスのトランザクションをシステムバスにフォワードするか差戻すかの判定は、図4のフローにより行う。発行頻度の高いスプリット可能なトランザクションでは、上記のデッドロックが発生し得ないため、①→②→③→⑥の順に判定し、デッドロック回避制御による性能上のペナルティを受けないようにした。

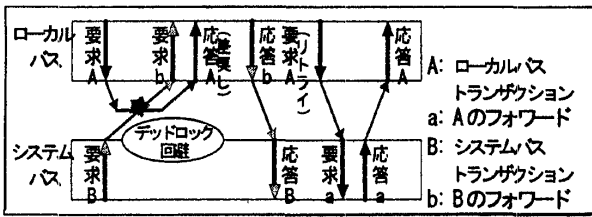


図3 デッドロック回避

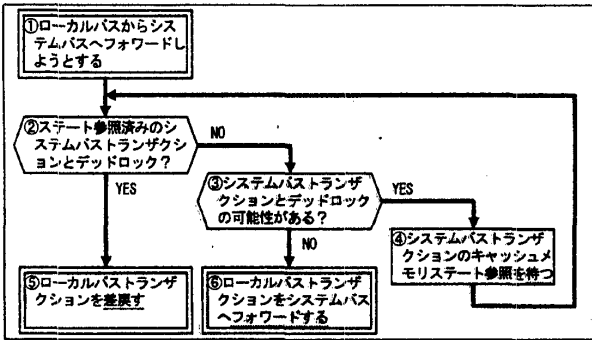


図4 デッドロック回避処理のフロー

4.2. キャッシュメモリコヒーレンシ制御

3次キャッシュメモリは2次キャッシュメモリを包含した状態を維持しつつ、トランザクションをパイプラインで実行するため、同じキャッシュメモリラインに対するトランザクションについても、ローカルバス側とシステムバス側で異なるステートとして振る舞う必要がある。3次キャッシュメモリの振る舞いについて、「S」ステートのキャッシュメモリラインに対するシステムバスのライトトランザクションが発行され、2次キャッシュメモリを無効化するためローカルバスにフォワードする場合を例に説明する。(図5)

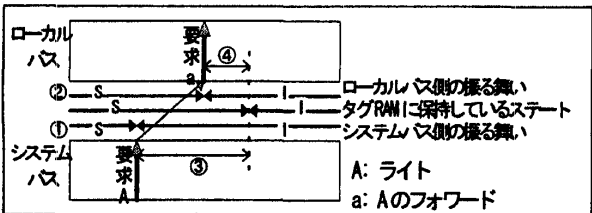


図5 キャッシュメモリステートコヒーレンシ

①システムバス側では、ライトトランザクションによりキャッシュメモリを無効化するため、ライトトランザクション以後のトランザクションに対して「I」ステートとして振る舞う。一方、②ローカルバス側では、フォワードしたトランザクションを発行するまで2次キャッシュメモリを無効化しない必要があるため、フォワードしたトランザクション以前のトランザクションに対して「S」ステートとして振る舞い、フォワードしたトランザクション以後は「I」ステートとして振る舞う。

この振る舞いを実現するため、③システムバス側では、ライトトランザクションが発行されてからタグRAMのステートを「I」に更新するまで、ステートの参照を待つ。④ローカルバス側では、ライトトランザクションをフォワードしてからタグRAMのステートを「I」に更新するまで、ステートの参照を待つ。

4.3. キャッシュメモリリプレース制御

ローカルバスからのリードトランザクションで3次キャッシュメモリのラインをリプレースする時、追い出されるラインに対応する2次キャッシュメモリを無効化する必要がある。ところが、リードが終わるまで2次キャッシュメモリの無効化が処理できず、2次キャッシュメモリの無効化が終わるまでリードが処理できないというデッドロックの問題がある。

この問題を解決するため、追い出されるラインを一時退避するバッファを設けた。このバッファを使用したリプレースの動作について、ローカルバスのリードトランザクションが発行され、リプレースを起こし「M」ステートのラインを追い出す場合を例に説明する。(図6)

ローカルバスのリードトランザクションを受けた時、まず、3次キャッシュメモリの1つのラインをバッファに退避し、ラインを空ける。その後、リードトランザクションをシステムバスにフォワードする。システムバスから受けたリードデータを空いたラインに格納し、リードトランザクションを完了する。

一方、バッファに退避したラインについて、2次キャッシュメモリを無効化するためのトランザクションをローカルバスに発行する。この無効化の際に、2次キャッシュメモリから最新のラインが書き戻された場合、そのラインを退避したラインに上書きする。先のリードトランザクション完了後、この無効化トランザクションを完了できる。2次キャッシュメモリの無効化完了後、システムバスにトランザクションを発行し、バッファにあるラインを書き戻し、ラインの追い出しが完了する。

バッファを設けることにより、一時的にキャッシュメモリの旧ラインと新ラインのデータを持つことができるようにし、デッドロックを回避した。

別のデッドロックを回避する手段として、リードトランザクションを差戻し、リトライのトランザクションが発行されるまでの間にキャッシュラインを追い出す方式があったが、性能低下を招くため採用しなかった。

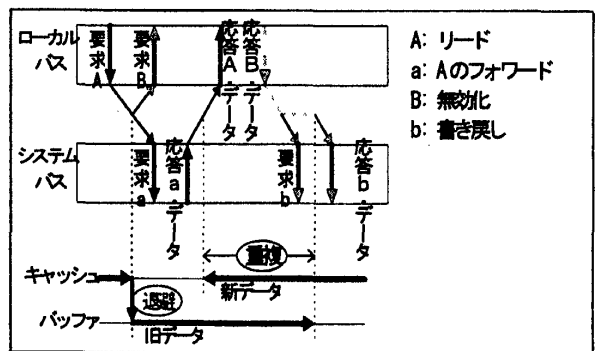


図6 キャッシュメモリリプレース

5. まとめ

デッドロック回避制御、キャッシュメモリコヒーレンシ制御、キャッシュメモリリプレース制御に代表される多くの課題があったが、これらの課題を整理し、体系的に処置をしていくことにより、最大16個のPentium® ProプロセッサによるSMP構成が可能なSMPブリッジチップセットを実現した。