

# 汎用エンジン RM-IV の構成

2 F - 4

井上 真一, 高瀬 幹<sup>†</sup>, 沼 昌宏, 平野 浩太郎

神戸大学大学院 自然科学研究科 <sup>†</sup>シャープ(株)

## 1. はじめに

目的の処理をハードウェア上で高速に実行する専用エンジンにおける、高速性と汎用性・柔軟性のトレードオフの問題を解決するために、我々は汎用エンジン（Reconfigurable Machine）の概念を提案し、プロトタイプとして RM-I [1], -II [2], -III [3] を開発してきた。本稿では、実現可能な回路規模の拡大と処理の高速化を目的として開発した、汎用エンジン RM-IV について述べる。

## 2. 汎用エンジン RM-IV の仕様

表 1 に、汎用エンジン RM-IV の仕様について従来の汎用エンジン RM-III と比較して示す。

RM-III は、電気的に配線変更可能な LSI である FPIC とそれを搭載したボード FPCB を用いており、極めて高い柔軟性を得た。しかし、FPGA-メモリ間の接続に用いた FPIC の遅延によるメモリ・アクセス速度の低下が、全体の処理速度の限界を決めることが課題となっていた。また、RM-III 上に構築したアプリケーションについて、各 FPGA は多くの場合、メモリと結線されていた。

RM-IV では、FPGA-メモリ間を FPIC を介さずに配線することによって、メモリ・アクセスに要する時間の短縮による高速化を実現する。一方、FPGA 間は FPIC で接続することによって柔軟性を保つ。FPGA がメモリを利用しない場合、メモリと FPGA を論理的に切り放し、不用となった端子を他の要素との通信に用いることができる。また FPIC を通じて他の FPGA からメモリを参照することも可能とする。RM-IV では、このような流用可能な固定配線を採用することで、柔軟性を損うことなく高速化を実現する。

ブロードキャスト通信を行うためには FPIC の

表 1 RM-III と RM-IV の仕様比較

比較項目	RM-III	RM-IV
実現可能な回路規模	30 K ゲート	96 K ゲート
回路実現部の FPGA の種類と個数	XC4005×6	XC4006×16
メモリバンク数	8	16
メモリバンク構成	32 K×16 ビット	32 K×24 ビット
FPGA 間の配線	配線用 FPIC により変更可能	配線用 FPIC により変更可能
FPGA-メモリ間	配線用 FPIC により変更可能	流用可能な固定配線, フラットケーブル

ファンアウトの増大による遅延が問題となる。フラットケーブルを介した通信路を用意することで解決している。

また RM-IV では、2 個の FPGA と 2 個のメモリバンクからなる 3-D 実装ボードを、FPCB と直角の方向に 8 枚実装する。このような実装法を採用することにより、回路規模で RM-III の 3.2 倍、メモリ容量で 3 倍に拡大した。

## 3. RM-IV の構成

RM-IV の構成を図 1 に示す。実行モジュールとインタフェース・モジュールで構成される。RM-

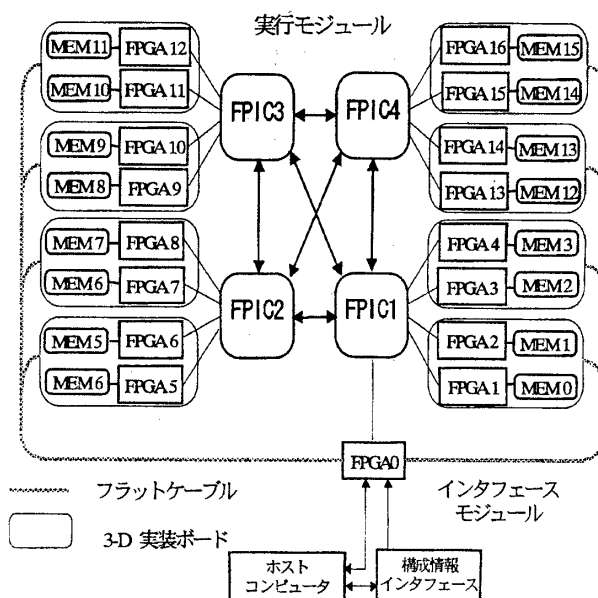


図 1 RM-IV の構成

A Reconfigurable Machine : RM-IV

Shin-ichi Inoue, Motoki Takase<sup>†</sup>, Masahiro Numa and Kotaro Hirano

The Graduate School of Science and Technology, Kobe University

<sup>†</sup> Sharp Co., Ltd.

IIIと同様に Aptix 社の FPCB (AXB-GP4) の上に構築している。

実行モジュールは 16 個の FPGA で構成され、各 3-D 実装ボードに 2 個ずつ搭載されている。システムクロックは FPGA8 で生成され、グローバル接続を通して各 FPGA に分配される。

メモリは 16 個のメモリバンクからなる。各バンクは 24 ビットを 1 ワードとするが、FPGA から 3 本の制御線を各メモリに接続し 8 ビットずつ分けてアクセス可能とすることで、部分書込みが高速に行えるように配慮した。メモリは各 FPGA に固定配線されているが、FPIC を介して他のメモリを参照することも可能である。またフラットケーブルを介した他の FPGA との通信も可能である。

インタフェース・モジュールの役割は、FPGA の構成情報設定、ホストコンピュータとの通信、メモリデータの授受の三つである。

RM-IV での FPGA 間接続、および FPGA - メモリ間接続は、ホスト・コンピュータから HIM (Host Interface Module) を介して配線データを送り、FPIC をプログラムすることで行われる。ユーザはアプリケーションに応じて配線情報を書き替え、FPIC を再プログラミングすることが可能である。

#### 4. 実験と考察

RM-IV の性能と、その上に構築されるアプリケーションの性能に関して評価を行った。

##### 4.1 RM-IV の単体性能

RM-IV の単体性能について、FPGA-メモリ間の遅延を測定した。RM-IV では固定配線を採用したことにより、RM-III における FPIC を介した接続と比べて 1/6 に短縮されている。このことがアプリケーションの高速化に役立つ。

##### 4.2 論理診断エンジン LDE-IV

RM-III 上に構築された LDE-III を、RM-IV に移植した LDE-IV を用いて実験を行った結果を表 3 に示す。LDE-IV では、LDE-III と比較して 25% の高速化が達成された。この要因として、FPGA-メモリ間を流用可能な固定配線にしたこと、回路規模の拡大により単一の FPIC 領域で回路が構成されているために FPIC による遅延の影響が軽減されたことが挙げられる。また、LDE-IV は FPGA 16 個中の 4 個のみを利用している。したがって、マ

表 2 配線による遅延時間

機種	RM-III (FPIC)	RM-IV (固定配線)
遅延時間	7.8	1.2

単位 (ns)

表 3 LDE-III との比較

機種	LDE-III	LDE-IV
システムクロック	4 MHz	5 MHz

表 4 WTE-IV の処理時間

実現方法	RM-II	RM-IV	ソフトウェア
変換処理時間	1.638	0.68	50

単位 (ms)

ルチプロセッサ化により、更なる高速化が実現可能である。

#### 4.3 ウェーブレット変換エンジン WTE-IV

RM-II 上に構築したウェーブレット変換エンジンを移植して実験を行った。RM-IV 上の結果を、RM-II 上の結果とソフトウェアで行った結果と合わせて表 4 に示す。RM-II の結果に対して 2.4 倍の高速化を達成している。この要因として、RM-II では 2 プロセッサ構成による並列処理を適用していたが、RM-IV では実現可能な回路規模の拡大によって 4 プロセッサ構成とすることができたこと、さらにパイプラインの段数を増やしたことでシステムクロックを 5 MHz から 6 MHz へ向上できたことが挙げられる。ソフトウェアと比較すると、73 倍の高速化を実現している。

#### 5. まとめ

流用可能な固定配線や 3-D 実装の導入によって、柔軟性と処理性能を両立する汎用エンジン RM-IV を開発した。

今後の課題として、アプリケーション開発のための支援環境の整備が挙げられる。

#### 参考文献

- [1] 菅沼直昭, 村田之広, 富田昌宏, 平野浩太郎, “汎用エンジンの開発と論理診断への応用”, DA シンポジウム '92, pp. 89-92, 1992.
- [2] 富田昌宏, 菅沼直昭, 澄川文徳, 平野浩太郎, “汎用エンジン RM-II の構成”, JSPP '93, pp. 151-158, 1993.
- [3] 澄川文徳, 垣原雅己, 菅沼直昭, 富田昌宏, 平野浩太郎, “配線変更可能なボードを用いた汎用エンジン RM-III”, 情報処理学会第 48 回全国大会講演論文集, vol. 6, pp. 119-120, 1994.