

k-ary, n-cube型ネットワークルータのFPGA化*

2F-3

～実装と評価～

佐野雅彦[†] 栗栖一洋[†] Andrew C. Flavell^{††} 高橋義造[†][†]徳島大学工学部 ^{††}(株) ジャストシステム

1. はじめに

並列計算機の総合的性能は計算機アーキテクチャと実行されるソフトのアルゴリズムに依り、これまでに多くの方式の提案とその成果が報告されており、今後、多様な並列処理アルゴリズムが考案されると推測される。しかしハードウェアの実現においては、そのコスト的な問題から考案されたアルゴリズムに対するハードウェアの様々な評価・比較検討することが難しい。これに対して近年のFPGAなどの書き換え可能デバイスの高性能化により、現在では10万ゲート相当のFPGAが開発されており、従来では数個～数十個必要であった回路が1～数個に集積可能となっている。この様な背景から我々はMIMD型超並列計算機向きのルータをFPGA化することにより、アルゴリズムに対してより柔軟性を持つことの出来るネットワークの構築を目的としている。特にFPGAは書き換え可能回数が多く、頻繁に内部論理を変更する用途、つまり、ハードウェアの評価・比較に向いている[1,2,3]。

FPGAデバイスをルータに用いた場合の特徴は、

(1) ゲートアレイやカスタムVLSIを用いたルータの実現では少数個の作成にはコストが高く、頻繁にネットワーク構成や内部パラメータを変化させて評価を行う用途にはFPGAの方が低コストで試作・評価ができる。

(2) SRAM型の揮発性FPGAを用いれば、アプリケーションに対して効率の高いルータアーキテクチャを実行時に選択できるようになり、アプリケーションに特化したアーキテクチャを用意できる。将来、デバイスの部分再プログラムが可能になれば、複数の特性の異なるアプリケーションの実行に対して動的に変換構造のネットワークが実現できる[3]。

(3) ゲートアレイやカスタムVLSIと比較して利用できるゲート数が少ないが、現在ではゲート数の多いFPGAも開発されつつあり、動作速度の問題も改善されつつある。などがあり、今回使用するFPGAデバイスには主として次の2つの利点がある。

・内蔵RAM パケット交換型のルータでは内部に複数のバッファを必要とするので、このRAMの使用により回路を効率化ができる。

・バスリソース FPGA内部に配置されるバスリソースにより、ルータに不可欠なクロスバススイッチやデータセレクタが効率的に実現できる。

2. k-ary n-cubeネットワーク

k-ary n-cubeネットワークにはメッシュ、トーラス、ハイパキューブ等のトポロジが含まれており、多くの並列計算機に用いられている。一方我々の研究室でもk-ary n-cubeネットワークルータとして、Tokkyuルータ[4,5]が提案された。Tokkyuルータは、バイパスとスイッチからなるエクスプレッソウエイと呼ばれるバイパス機構を持つk-ary n-cube ネットワークルータである。Tokkyuルータは各チャンネル毎にmウェイのキューを持つ。ウェイ数mと各キューの容量をパケットサイズの1倍としてシミュレーションを行った結果から、今回の実装で想定している16-ary 2-cubeネットワークに於いては、少なくとも $m=2, l=2$ であれば十分な性能を維持できると判断した[4]。

3. 実装

TokkyuルータをXilinx社のXC4000シリーズ[7]へ実装を行った。今回は、以下の方針に従った。

(1) 使用するデバイスはXC4013PQ240

13,000ゲート相当のFPGAであり、現時点で我々の研究室で開発可能な最大のものを選択した。

(2) 16-ary 2-cubeのトーラスネットワーク

Tokkyuルータの場合次元数nに対して、少なくとも入出力にそれぞれ2n個のポートとノードプロセッサとの通信のための2個の合計4n+2個のポートが必要である。今回は回路規模の増加を抑えるために $n=2$ とし、2次元トーラスネットワークとした。

(3) 8ビットデータ幅 (1)より、後述するバスリソースを考慮して、8ビットのデータ幅とした。

(4) バスリソース XC4013PQ240では最大96本のバスリソースがあり、スイッチに使用する。各チャンネルではアウトプットキューのウェイ数mに応じて4:mスイッチが必要であるが、 $m=2$ の場合、16ビットデータ幅で128本のバスが必要となり、FPGAのリソースが不足することから、データ幅は8ビットとした。

(5) パケットサイズ FPGAのRAMの最小構成は16ワード×1ビットなので、これに合わせて16ワードとした。パケットの先頭の1ワードが宛先を示し、現在位置からの相対距離をX, Y方向それぞれ4ビットで表す。残りの15ワードはデータである。

(6) キュー FPGAの内蔵RAMによるデュアルポート化されたキューの構成により入出力の同時処理を実現し、パケットの遅延を極力抑えるようにした。ま

*Implementation of the k-ary n-cube network router on FPGA

Masahiko SANO[†], Kazuhiro Kurisu[†], Andrew C. FLAVELL^{††}, Yoshizo TAKAHASHI[†]

[†]Department of Information Science and Intelligent Systems, Faculty of Engineering, University of Tokushima

^{††}JUSTSYSTEM Co.,Ltd.

た、アウトプットキューの容量は、シミュレーション結果よりパケットサイズの2倍とした。

(7) グローバルアービタ グローバルアービタは4:2スイッチの制御回路が5系統必要となるが、5系統の並列処理を行った場合FPGAに収まらない可能性があるため、今回は逐次処理とした。これにより入力パケットの処理に最悪12クロックが必要となるため、入力側に容量16ワードのキューを設け、遅延を吸収することとした。(トラフィック密度が低い場合、最悪値で6クロック)

以上の方針による実装の結果、エクスプレスウェイ経由のルーティング遅延が3クロック、キュー経由では最小10クロック、トラフィックが少ない場合は平均14クロック、最悪22クロックの遅延となった。またエクスプレスウェイの連続使用時には最小2クロックのパケット間隔が必要となり、エクスプレスウェイ、キュー、パケット注入の任意のパケット間では4クロックのパケット間隔となった。図1にブロック図を示す。

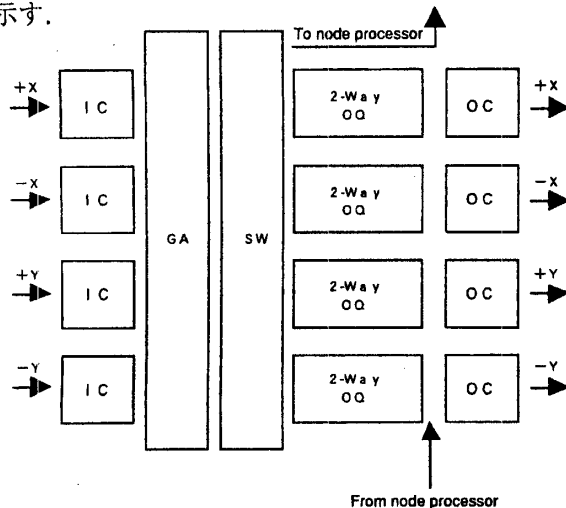


図1 全体のブロック図

4. 実装結果・評価

今回用いたFPGAの開発システムはXilinx社のPCベースのXact Step Ver. 6を使用し、全体の80%を回路図で作成、グローバルアービタ、アウトプットコントローラの一部をNTTデータ社製HDL、バルテノンを用いて記述した。また、FPGA内部の配線リソースを有効に活用するために入出力ピンの80%、論理ブロックの約1/3を手動で配置し、残りを自動配置させた。最適化後のリソースの使用率は表1に示す。なお、実装の目安である必要CLB数は全体の78%となった。

次に速度性能についてのシミュレーションの結果について述べる。シミュレーションは配置配線後の結果を元にして行った。その結果、XC4013PQ240-5 (CLB遅延5ns)で15MHz、-3で20MHzの動作が確認された。この結果は文献[8]のときより速度的に若干改善されているが、インプットコントローラ、グローバルアービタ、アウトプットキュー間の制御部分が速度向上の妨げになっており、改善が必要であることが確認された。

表1 最適化後の使用率(*1:配置後のCLB使用率)

項目		最適化後(割合)
I/Oピン数		105(55%)
CLB数		450(78%), 570(99%)*1
フリップフロップ数		369(32%)
バスリソース	ロングライン	64(20%)
	3ステートバッファ	256(20%)
RAM容量(ビット)		2,560(14%)

5. おわりに

本報告では、我々の研究室で提案されたk-ary n-cube ネットワークルータであるTokkyuルータをXilinx社のFPGA4013PQ240に16-ary 2-cube トーラスネットワークルータとして実装し、配置配線後のシミュレーションにより、CLB遅延5nsのFPGAで18MHz、3nsのもので20MHzの動作を確認した。また、FPGAのもつ特徴を利用して実装した結果、利用しない場合と比較して約2割以上の回路規模が削減可能となった。現在、評価ボードを試作中である。

今回の実装では13,000ゲート相当のFPGAを使用した。現在FPGAは100,000ゲート相当のものが利用可能になっており、更に高機能なルータの実装が可能になる。今後の課題は、ブロードキャストの追加、動作速度の改善などである。

最後に、バルテノンを使用させていただいたNTTデータ社の方々に感謝致します。

参考文献

- [1]富田, 澄川, 菅沼, 平野: 汎用エンジンRM-IIの構成, 情報処理学会論文誌, Vol. 35, No. 4, pp. 639-645 (1994).
- [2]凌, 天野: データ駆動型制御機構付MPLDを用いた並列マシンWASMIIの仮想化, 情報処理学会論文誌, Vol. 35, No. 4, pp. 646-657(1994).
- [3]末吉, 梶野, 有田: 書換え可能なLSIによる可変構造型相互結合網の実現法, 情報処理学会論文誌, Vol. 33, No.3, pp. 260-269(1992).
- [4]Flavell, A. C. and Takahashi, Y.: Tokkyu: A High-Performance, Randomizing, Adaptive Message Router with Packet Expressway, IEICE Trans. on Information and Systems, Vol. E78-D, No. 10, pp. 1248-1260(1995).
- [5]Flavell, A. C. and Takahashi, Y.: A Hybrid Time/Space Communications Paradigm for k-ary n-cubes, Proc. of the International Conf. on Parallel Processing 1994, Vol. I, pp. 138-141 (1994).
- [6]Konstantinidou, S. and Snyder, L.: Chaos router: Architecture and Performance, SIGARCH, Vol. 19, No. 1, pp. 212-221 (1991).
- [7] The XC4000 Data Book, Xilinx, Inc. (1994).
- [8] 佐野ほか: FPGA化のためのk-ary n-cube型相互結合網用のルータの設計, 信学技報, CPSY96-44, pp.31-36.