

*k*-array *n*-cube ネットワークルータの FPGA 化\*

2F-1

—ルータの構成—

栗栖 一洋\*\*      Andrew C. Flavell\*\*†      杉原 泰次郎\*\*††  
 和田 知士\*\*†††      佐野 雅彦\*\*      高橋 義造\*\*

1 はじめに

近年、半導体技術・実装技術などの飛躍的な進歩によって、高い並列性をもつハードウェアの実現を可能にし、並列処理の可能性を十分に引き出すことが可能になりつつある。また、並列処理はその複雑さから、アルゴリズムだけでなく計算機のアーキテクチャも考慮する必要がある。実規模の問題に対して並列処理を行う場合、さまざまなアーキテクチャの並列計算機に対してアルゴリズムの比較・評価を行うことが不可欠である。

以上のことから、頻繁にアーキテクチャの変更を行う場合、コストや実装の容易さの点から、FPGA を用いることが有効であると考え、また、さまざまなアルゴリズムに対してより汎用性のあるアーキテクチャを持つ並列計算機の構築を目標とし、低遅延のルーティングを可能にする *k*-array *n*-cube 網 [1] のメッセージ転送型並列計算機に用いるルータを開発し、FPGA への実装を行った。

本報告は、今回実装を行ったルータについてそのアーキテクチャと特徴を述べ、FPGA に実装する際に考慮すべき点について検証した結果について述べたものである。

2 ルータアーキテクチャ

本節では、*k*-array *n*-cube 網の概要と今回我々が提案するルータのアーキテクチャについて述べる。2.1では *k*-array *n*-cube 網の特徴について述べ、2.2では Tokkyū ルータ [2,3] の構成とフロー制御方式について述べる。

2.1 *k*-array *n*-cube 網

*k*-array *n*-cube 網は、動的網の1つとして分類され、入力ノードと出力ノードとの間にスイッチとリンクからなるスイッチ網を設置し、各スイッチを適当に制御することによってノード間を動的に結合するものである。  $N = k^n$

個のプロセッサからなるシステムを考える。各プロセッサに 0 から  $N - 1$  までの番号をつけ、その番号を *k*進表示したときに *n*桁のうち1桁だけが異なる *k*個のプロセッサどうしをクロスバ網で接続する。*k*個のプロセッサを接続するクロスバ網のほか、*n*本のリンクを接続するルータが必要となる。*k*-array *n*-cube 網では、ノード間通信は最悪でも全ての方向のクロスバスイッチを1度ずつ通過することで実現でき、通信の局所性を生かすことができる。また、環状網、木状網、トーラス網、ハイパーキューブ網などさまざまな相互結合網のエミュレーションが可能で、汎用性が高い。

2.2 Tokkyū ルータ

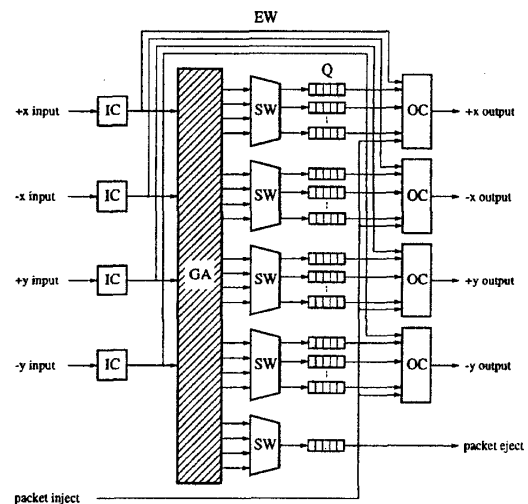


図 1: 2次元 Tokkyūルータ

図1に示す2次元 Tokkyūルータは、2.1で述べた *k*-array *n*-cube 網を用いたメッセージ転送方式の MIMD 型並列計算機のためのネットワークルータとして提案されたアーキテクチャである。Tokkyūルータの構成要素は、表1のようになっている。

Tokkyūルータの特徴となっている EW を用いることの利点は、同次元方向への接続が要求された場合にルータ内の調停機構 (GA) における処理を行わずにパケットを出力できる所にある。これにより、GA 周辺のトラフィックの緩和や処理過程の削減などによる通信速度の向上を

\*Implementation of *k*-array *n*-cube network router on FPGA  
 \*\*徳島大学工学部知能情報工学科,  
 徳島大学大学院工学研究科知能情報工学専攻  
 Department of Information Science and Intelligent Systems,  
 Faculty of Engineering, University of Tokushima  
 †現在, 株式会社ジャストシステム  
 Presently with JUSTSYSTEM Corporation  
 ††現在, 株式会社メイテック  
 Presently with MEITEC Corporation  
 †††現在, シンクス株式会社  
 Presently with SYNX Corporation

表 1: 構成要素とその機能

ブロック	名称・機能
EW	パケットエクスプレスウェイ。直進パケットのバイパスを行う。
IC	インプットコントローラ。入力パケットのヘッダを解析し、EW を利用するか GA に通信資源の割り当てを要求するか決定する。
GA	グローバルアービタ。EW を通らないパケットに対して通信資源の割り当てを行う。
SW	スイッチ。このスイッチを制御することで、任意の隣接するノードに接続できる。一般のルータのクロスバスイッチに当たる。
Q	キュー。GA が通信資源の割り当てを行ってある間、パケットを一時的に格納する。
OC	アウトプットコントローラ。プロセッサ、EW、および Q から送られてくるパケットに対して、ヘッダのアドレス部分を更新する。

期待できる。

また、Tokkyūルータでは、フロー制御方式としてバッファリング戦略およびバーチャルカットスルーを採用しているため、デッドロックやパケットの喪失が発生しにくく、信頼性の高い通信が可能となっている。さらに、ネットワーク内の通信資源の有効的な利用のため、適応的ルーティングを用いて耐故障性およびネットワーク状況に対する柔軟性の向上にも配慮している。

### 3 FPGA 化に対する問題点

本節では、前節で述べた Tokkyūルータを FPGA に実装する際の内部セルの有効的な利用法について検証する。3.1では実装に用いる FPGA の仕様について述べる。また、3.2では Tokkyūルータを FPGA に実装する場合の、内部リソースの合理的な活用法について検証する。

#### 3.1 FPGA について

表 2: XC4013 PQ240 の仕様

リソース	数量
ゲート	13000 相当
I/O ピン	192 個
CLB	576 個
フリップフロップ	1152 個
バスリソース	ロングライン 96 本 3 ステートバッファ 1248 個
RAM	18432 ビット

今回の実装には、XILINX 社の XC4013 PQ240 を用い、16-array 2-cube 網のルータを構成した。FPGA の仕様は表 2 の通りで、16-array 2-cube 網のルータを構成するには適当な規模である。

### 3.2 設計における効率化

FPGA に実装する場合、内部リソースの使いみち次第でその回路規模が大きく変わってしまうため、設計の段階から内部リソースの有効的な活用に充分考慮する必要がある。表 3 に内部リソースの効率的な利用法を示す。GA および OC については、リソースの活用の仕方というよりはそのアルゴリズムによって回路規模が左右されるので表からは省略した。

表 3: 内部リソースの有効利用

ブロック	考慮すべき点
EW	入力から出力までのバイパス機構なので、FPGA 内部の横方向に伸びる配線リソースを活用し、配線の混雑を避ける。
IC	入力パケットのワード数を計測するカウンタを Q のアドレスカウンタと共通化し、回路の増加を防ぐ。
SW	バスリソースを用いることで、CLB のみを用いるよりも内部リソースの有効利用ができる。
Q	FPGA 内部の RAM をデュアルポート化することで、読み込みと書き込みの同時処理を行うことができる。

### 4 おわりに

我々は、 $k$ -array  $n$ -cube 網用のネットワークルータである Tokkyūルータを提案し、FPGA に実装することを目的に研究を行ってきた。また、Tokkyūルータを 16-array 2-cube 網のルータとして FPGA に実装し、動作シミュレーションを行った。なお、実装の評価ならびにシミュレーション結果については文献 [4] を参照されたい。

本報告では、今回実装した Tokkyūルータについて、その構成と FPGA に実装する場合の FPGA の内部の有効的な利用法について検証した。また、今回の実装を行うに当たって論理合成システムや FPGA 開発システムを用いる機会があったが、その作業効率の良さやコストの安さからこれらの有効性も示すことができたことと確信している。

#### 参考文献

- [1] Andrew.C.Flavell, Yoshizo Takahashi; "CONTINUUM : A Hybrid Time/Space Communications Paradigm for  $k$ -array  $n$ -cubes", Proc.ICPP, vol.1, pp.138-141, 1994
- [2] Andrew.C.Flavell, Yoshizo Takahashi; "Tokkyū : A High-Performance, Randomizing, Adaptive Message Router with Packet Expressway", IEICE Trans.on Information and Siplems, vol.E78-D, No.10, pp.1248-1260, 1995
- [3] Andrew.C.Flavell; "A Closer Look at the 2-Dimensional Tokkyū Router", Proceedings of the SSPP, pp.1-6, 1995
- [4] 佐野ほか; "FPGA 化のための  $k$ -array  $n$ -cube 相互結合網用ルータの設計", 情報研報, Vol.96, No.39, pp.31-36, 1996