

ブロック内配線を考慮した遅延時間算出手法

辻 慎一 金子 信之 黒橋 学 津口 公一 桑原 教雄 友納 謙† 浅野 裕子†
 2K-6 NEC ソフトウェア北陸 †NEC(株)

1 はじめに

LSI の高性能化に伴って、遅延時間を高精度に算出しなければ、LSI の性能をフルに発揮した論理回路を設計できなくなっている。また、半導体製造技術の微細化で、論理ゲートそのものの遅延時間は小さくなっているが、配線による遅延時間はそれほど変わっていない。このため、論理ゲートそのものの遅延時間に比べて、配線による遅延時間の占める割合が増加している [1]。従って、配線遅延時間を今まで以上に高精度に算出する必要がある。特に、INVERTER、NAND 等の論理ゲートと比較して、面積の大きい RAM、ROM 等の機能ブロック（以後、ブロックと記す。）においては、ブロックの境界内部の配線が長いために、遅延時間に影響を及ぼし、無視できなくなっている。

今回提案するブロック内配線を考慮した遅延時間算出手法では、ブロックの境界内部の配線が長い部分の情報を抽出し、ブロック間を接続する配線の情報に付加し、その付加後の配線の情報を用いて、配線遅延時間の算出を行うことを特徴としている。これにより、ブロック内の配線を考慮した高精度な配線遅延時間の算出が可能となった。本稿ではその概要を報告する。

2 遅延時間の算出手法

2.1 従来手法の問題点

従来の LSI 開発においては、以下のように遅延時間を算出していた。まず、既に機能、特性が決まった論理ゲート、ブロック（以後、論理ゲートとブロックの両方を指す場合は、マクロセルと記す。）そのものの遅延時間、入出力特性（出力端子の抵抗値、入力端子の容量値等）をマクロセル単体のシミュレーションにより求め、マクロセルのライブラリとして登録する [2]。次に、そのライブラリ

A Technique for Delay Calculation Considering Wire in FunctionBlocks.

Shinichi Tsuji, Nobuyuki Kaneko, Manabu Kurohashi, Kouichi Tsuguchi, Norio Kuwahara, Yuzuru Tomonou†, Yuuko Asano†
 NEC Software Hokuriku, Ltd., † NEC Corporation

情報とマクロセル間の配線情報とから RC 回路モデルを作成し、RC 回路シミュレーションを用いて、配線遅延時間を算出する。この手法により作成した RC 回路モデルの例を図 1 に示す。

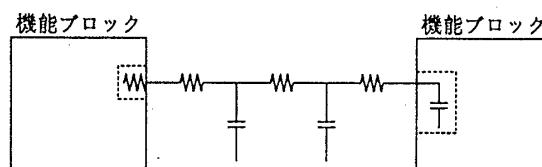


図 1: 従来手法の RC 回路モデルの例

こうして算出されたマクロセルの遅延時間とマクロセル間の配線遅延時間をもとに論理回路の遅延時間を算出していた。

しかし、ここでブロックの境界内部の配線は長く、また、形状が複雑であるため、マクロセル単体のシミュレーションにより求めた入出力特性では、ブロックの入出力特性を正確に表現できない。このため、ブロックが接続している配線の RC 回路モデルが正確でなく、配線遅延時間の算出に誤差が生じていた。

2.2 ブロック内配線の考慮

2.1 で述べた問題は、以下に示す遅延時間算出手法を用いることにより、解決が可能である。

まず、ブロックの回路モデルよりブロックの境界内部の配線の RC 回路モデルを抽出し、ブロック内配線のライブラリとして登録する。

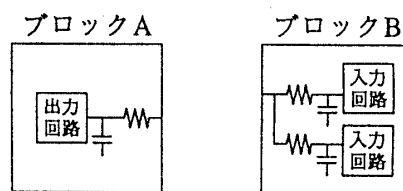


図 2: ブロックの回路モデル例

例えば、図2のブロックAでは、ブロック内部の出力回路からブロックの境界までのRC回路モデルを、ブロックBでは、ブロックの境界からブロック内部の入力回路までのRC回路モデルを抽出することになる。

次に、従来手法と同様にマクロセル間の配線のRC回路モデルを作成した後、マクロセル間の配線のRC回路モデルに、ブロック内配線のライブラリに登録されているRC回路モデルを付加する。この手法により作成したRC回路モデルの例を図3に示す。

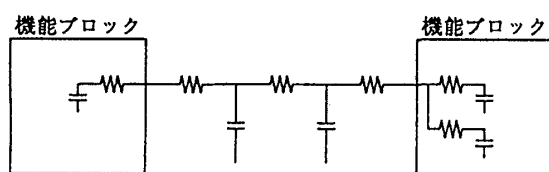


図3: ブロック内配線を考慮したRC回路モデルの例

最後に、こうして作成したRC回路モデルを利用して、RC回路シミュレーションを実行し、配線遅延時間を算出する。

このように、ブロック内の配線のRC回路モデルをも含めることで、従来手法より正確なRC回路モデルを作成してRC回路シミュレーションを実行するため、高精度な配線遅延時間の算出が可能となる。

なお、論理ゲートの境界内部の配線は短く、形状も簡単であり、計算精度に影響が生じないため、従来通りの処理を行う。つまり、計算精度が問題となる部分は更新処理を施し、計算精度が問題とならない部分は従来通りに処理することで、処理時間の大幅な増加を抑える。

3 評価

表1に、テストデータにおけるブロック内配線を考慮しない場合と考慮した場合の配線遅延時間の違いを示す。データ1は、配線の後方（負荷側）にブロックが存在し、データ2は、配線の前方（駆動側）にブロックが存在する。

ここで、データ1よりデータ2の方が、ブロック内配線の遅延時間に及ぼす影響が大きい要因を考える。一般に、遅延時間は、存在する抵抗の値と、その抵抗より負荷側に存在する容量の値とか

表1: 配線遅延時間の違い

考慮	データ1		データ2	
	無し	有り	無し	有り
遅延時間比	1.0	1.10	1.0	1.30

遅延時間比 : ブロック内配線を考慮しない時の配線遅延時間を1.0とした相対値

ら算出される。従って、データ1では、負荷側のブロック内の配線抵抗と、ブロック内の配線容量とブロック内部の入力回路の負荷容量の和が遅延時間に影響を及ぼす。また、データ2では、駆動側のブロック内の配線抵抗と、ブロック内の配線容量とマクロセル間の配線容量とマクロセルの負荷容量の和が遅延時間に影響を及ぼす。このように、データ2の方が遅延時間に影響を及ぼす容量値が大きいいため、ブロック内配線を考慮した場合の遅延時間に及ぼす影響が大きい。

また、ここで示した例での処理時間は、ブロック内配線を考慮しない場合に比べて、考慮した場合の方が1.5~2倍となっている。

4 おわりに

本稿では、ブロック内配線を考慮した遅延時間算出手法を紹介し、評価結果をもって、従来手法との違いを示した。動作周波数が数百MHzとなる超高速LSI設計においては、この遅延時間の差が大きな問題となってくるため、本手法による遅延時間の算出は必要不可欠である。なお、本手法はスーパーコンピュータSX-4、汎用コンピュータPX7800等のLSI開発に用いられ、効果をあげている。

参考文献

- [1] 小島 郁太郎 : “高速LSI設計”, 日経エレクトロニクス, Vol. 1995 3-13, No.631, pp.177-183, 1995.
- [2] 長谷川他 : “大規模回路向けタイミング検証システム HEART(1) 高速化の手法”, 情報処理学会第35回全国大会, 7F-6, 1987.