

## スキャンパスの線長最適化とホールドタイム補償の一手法

2K-4

中村 和史 小林 進 後藤 崇 多和田 茂芳

日本電気(株)

## 1 はじめに

LSIの動作テストのためにフリップフロップ(以後F/Fと記す)間にスキャンパスネットを張る方法は、一般的な手法であるが、昨今のLSIの製造プロセスの微細化に伴う設計回路の大規模化、高集積化により、スキャンパスネットの配線量がLSIのレイアウト収容性に与える影響は、無視出来ない存在となってきている。

そのような状況のもとで、スキャンパスの付け替え処理に非対称な巡回セールスマン問題の解法を適用して、スキャンパスの配線量の削減を行う手法を社内レイアウトシステムGALET[1]上で実現した。さらに付け替え後のスキャンパスネットに必要な応じてダイレイバッファを挿入することにより、スキャンパスのホールドタイム補償を行った。

本論文では、その手法の紹介とその効果の検証を行った結果について報告する。

## 2 スキャンパス線長最適化

## 2.1 スキャンパス付け替え

一般に、F/Fにはスキャンパス以外のパスが多数接続しており、配置配線設計は、回路性能を規定するタイミングの厳しいパスのダイレイを最小化するように行われる。そのためタイミング的に厳しくないスキャンパスの配線長は最小化されにくく、場合によってはスキャンパス接続を無視して自動配置が行われることがあるため、F/Fを配置した直後では、スキャンパスの線長は図1(a)のように非常に長くなっている。スキャンパスは付け替えを行っても機能上問題がないので、図1(b)のように線長を最小化し、スキャンパスの配線量を削減してレイアウト収容性を向上することができる。

## 2.2 巡回セールスマン問題

回路の性能を規定しないような遅延的に厳しくないスキャンパスネットを付け替えて線長を最適化する問題は、巡回セールスマン問題(Traveling Salesman Problem 以後TSPと記す)[2]という組み合わせ最適化問題に帰着できる。

このTSPの近似解法として、さまざまな手法が提案されている[3]が、大きくわけて構築法と改善法に分類される。

A Method of Length minimisation and Short path error correction for ScanPath. Kazushi NAKAMURA, Susumu KOBAYASHI, Takashi GOTO, Shigeyoshi TAWADA  
NEC Corporation

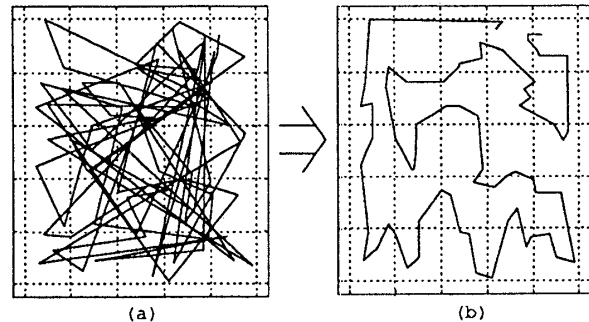


図1: スキャンパス付け替え前後

構築法には、Nearest Neighbor法(ある点から最も近い点をたどる方法)、Greedy法(枝を短い順に接続していく方法)、Farthest Insertion法(巡回路に最も遠い点を挿入する方法)などがあげられる。改善法には、2-opt法(2本の枝を交換する方法)、3-opt法(3本の枝を交換する方法)、Genetic Algorithm、Simulated Annealing法(確率的手法を取り入れたもの)などがあげられる。

また、2点間を接続する枝が無向で、距離が行きも帰りも同じ問題を対称TSPと呼び、枝が有向で対称性が常に成り立たない問題を非対称TSP[3][4]と呼ぶ。

## 2.3 スキャンパス線長最適化

前節で紹介したTSPの各種解法をスキャンパス付け替え処理に適用して線長の最適化を行う。このときに、点集合として、F/Fのスキャン入出力端子の座標を使用し、各枝の距離はF/Fのスキャン入出力端子間のマンハッタン長を用いた。

各種解法の実験試行を行った結果から解法としては、初期解にNearest Neighbor法、改善方法として3-opt法を採用した。この解法は現在対象とする問題の規模に対し、実用時間内に十分な精度の解を求めることができる。

従来はこの種の付け替え問題に対しては対称TSPを用いた最適化を行っていたが、以下の理由から非対称TSPの解法を使用した。

- スキャンパス経路内にメガマクロ、レジスタファイルなどといったような大きなマクロが存在する場合はスキャン入出力端子間の物理的な距離が大きいため(図2)、対称TSPより、非対称TSPとして解いたほうが精度が良くなる。
- スキャンパスに一部、強制接続(付け替えを行いたくない)部分が存在する場合の対応が容易になる。

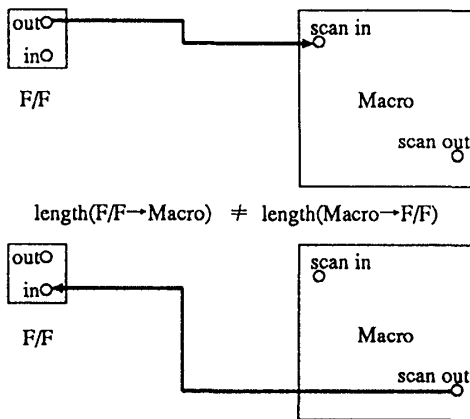


図 2: マクロが存在する場合

### 3 スキャンパスホールドタイム補償

F/F 間のバスについて、以下の不等式を満足しない場合にバスはホールドタイムエラーとなる。(図 3)

$$\text{path\_delay\_time} > \text{hold\_time} + \text{clock\_skew} \dots (*)$$

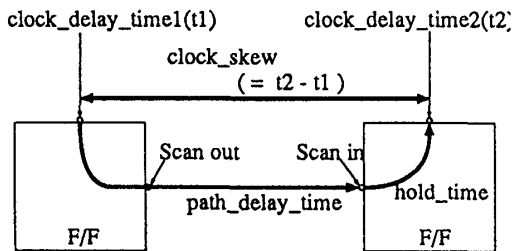


図 3: クロック、ディレイ、ホールドタイム

スキャンパスネットの付け替えの実行の有無にかかわらず、一般的にスキャンパスのバスディレイが小さい場合やクロックスキューが大きい場合に、ホールドタイムエラーが発生する可能性がある。

ホールドタイム補償の方法としては、レイアウト前の見積もり配線のディレイ値を用いてバスにバッファをあらかじめ挿入しておく手法が一般的である。しかしその方法では、過剰なバッファを挿入してレイアウト収容性を悪化させたり、結果的に必要となる場所にディレイバッファが不足し、設計変更を必要とする場合がある。そのため、ホールドタイム補償をレイアウト後に自動で行う手法は精度面でも収容性面でも有効な方法であると考えられる。

我々は、スキャンパス付け替えの後処理としてバスディレイ、クロックスキューを求め、上記の不等式(\*)を用いてホールドタイムエラーを検出し、ディレイバッファをスキャンパスに挿入してインクリメンタルなレイアウトを行うことによってスキャンパスのホールドタイム補償を行った。

### 4 評価結果

以上の機能を実際の設計データに適用した実験結果を以下に示す。スキャン F/F 数は、1900 であった。

EWS4800/350(95mips) のマシンを使用した。

付け替え前の全ネットの線長 (a)	付け替え前のスキャンバスネットの総線長 (b)	付け替え後の全ネットの線長 (c)	付け替え後のスキャンバスネットの総線長 (d)
31218219 (um)	2827645 (um)	28834945 (um)	444370 (um)
100%	9.06%	100%	1.54%

付け替え前後の全ネット線長の比 (c)/(a)	付け替え前後のスキャンバス線長の比 (d)/(b)	付け替えの所要時間
0.923	0.157	38秒

ホールドタイムエラー		
付け替え前	付け替え後	補償後
249	160	0

スキャンパスの付け替えについては、実行時間内でスキャンバス線長を 1/6 にすることができ、チップ全体の配線を 7.7% 減少させることができた。

スキャンパスのホールドタイム補償については、発生していたホールドタイムエラー数を 0 にすることができた。スキャンパスの付け替え前後では、補償ゲート数の 35% の減少がみられた。スキャンパスを付け替えて線長を最小化するとバスディレイが減少するため、(\*) 式から、ホールドタイムエラー数は増える方向に働く。しかし同時にスキャンパスの線長が短くなることにより、スキャン入出力 F/F 間のクロックスキューが減少するという副次効果により、(\*) 式から、ホールドタイムエラー数は減る方向に働く。上記のことを考え合わせると、クロックの分配方式にも依存するが、スキャンパスの付け替えの影響により挿入されるホールドタイム補償バッファは、いちがいに増加するとはいえない。実験に使用したデータでは、クロック分配に CTS (Clock Tree Synthesis) を使用しており、クロックスキュー改善効果の方が強く働いたため、ホールドタイム補償のために挿入されるバッファ数は付け替えを行わない場合に比べて減る結果になった。

### 5 まとめ

スキャンパスの付け替え最適化とホールドタイム補償についての手法を紹介し、実験結果をもってその有効性を示した。今後は精度向上、高速化を行っていきたい。

### 参考文献

- [1] 石塚, 岡本, 多和田, 袖, 水沼, 高見沢, "ゲートアレイ / セルベース IC 自動レイアウトシステム -GALET-", D.A. シンポジウム '94 論文集, pp.137-142, 1994.
- [2] E.L.Lawler, J.K.Lenstra, A.H.G.Rinnooy Kan, and D.B.Shmoys, editors. "The Traveling Salesman Problem" John Wiley and Sons, 1985.
- [3] 久保, "巡回セールスマン問題への招待 I", オペレーションズリサーチ, Vol.39, No.1, pp.25-31, 1994.
- [4] D.L.Miller and J.F.Pekny, "Exact solution of large asymmetric traveling salesman problem" Science, 251, pp.754-761, 1991.