

ASICサインオフシミュレーションに適したセルの動作モデルと 高速模擬手法

2K-3

秋山 頼子¹ 奥本 哲也¹ 奥田 亮輔² 古本 光昭² 榎本 清之²

¹三菱電機セミコンダクタソフトウェア（株） ²三菱電機（株）システムLSI開発研究所

1. はじめに

本稿では、ASICサインオフシミュレータとして実用中のemsl(イーエムエスエル)におけるセルの動作モデルとその高速な模擬手法について述べる。

2. セルの動作モデル

2.1 従来モデルの問題点

図1(a)に示すようなpin_to_pin遅延が設定されている（ライブラリ）セルに、タイムチャートの時刻10に示す波形が入力すれば出力QにL→Hの信号変化（イベント）が現れる。伝統的なイベントドリブン型シミュレータは、入力イベントがどのピンから伝播したかを判断する機能を持たないため、A,Cどちらの入力ピンからの遅延を採用すべきかを正しく判断できない。よって、(ア)、(イ)のどちらの出力波形となるかが不定であった（implement依存）。

また、図1(b)の場合には、実デバイスなら出力を駆動する能力が時刻20以降増加して、遅くとも時刻25にはoutがHに変化するはずである（出力波形(イ)）。ところが伝統的なシミュレータでは、時刻20に入ったイベントは無視されてしまい、結局時刻30にoutがHに変化する（出力波形(ア)）。

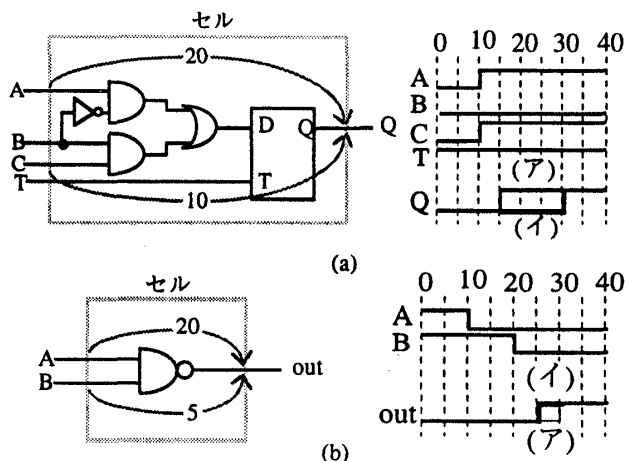


図1 従来のシミュレータの動作モデル

A new cell model and its fast implementation for ASIC sign-off simulator.

Akiyama, Okumoto, Okuda, Furumoto, Enomoto
Mitsubishi Electric Semiconductor Software Corp.
System LSI Laboratory, Mitsubishi Electric Corp.

2.2 セルの新しい動作モデル

前記問題点を解決した市販ツール[1]が存在するが、モデルの詳細は公開されていない。

我々のセルのモデルは、伝統的なシミュレータと同様に、セルの出力ピンにpin_to_pin遅延を実現する（仮想的な）素子を置くもの（図2）であるが、セルの内部の模擬について下の(i)~(iii)の拡張をする。また2-pathアルゴリズム[2]を採用することが必要である。

- (i) イベントに“当該イベントがどの入力ピンから伝播したか”の情報（ピンの集合であって、図2での{A}, {B}, {C}。以後“原因ピン集合”と呼ぶ。）を付加する。
- (ii) セル内部の素子は、入力イベントが出力信号値に影響を及ぼすなら、当該入力イベントの原因ピン集合を出力イベントに伝える。図2(a)は図1(a)の時刻10でのイベント伝播の様子であるが、遅延素子に伝播するイベントの原因ピン集合が{A}であるため正しい遅延値を採用できる。
- (iii) 原因ピン集合が空集合でなければ、信号値が変化しないイベントの存在を許す。図1(b)の時刻20のイベントは、図2(b)に示すように遅延素子まで伝播するため、出力イベントの再スケジュールが可能である。

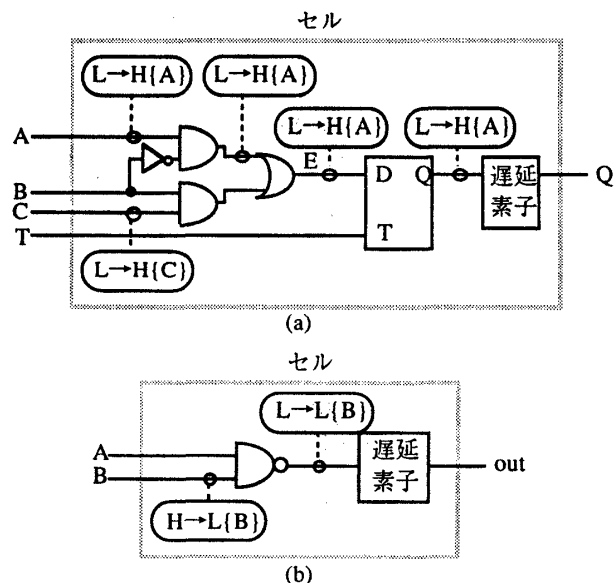


図2 セルの新しい動作モデル

3. セルの評価 (模擬) 方法

emslでは、ASICライブラリのセル (当社0.8 μ mでは546種) をプリミティブ (シミュレータ組み込みの最小素子) の組合せで実現するのではなく、セルそのものをプリミティブ (合計178種) としており、C言語で模擬の実行コードを作成している。準備として、プリミティブの (遅延素子を除く) 回路を複数の部分回路に分ける。例えば図2(a)の回路では、D-latchと、それより前段部分 (AND-ORと呼ぶ) の2つに分ける。各部分回路の模擬はtable lookup法[3]で実現する。

プリミティブの模擬手順は次の通りである。

```
for (各部分回路に対して /* 前段のものから順に */) {
    table参照用index作成;    ... (1)
    table参照;                ... (2)
}
原因ピン集合を求める;    ... (3)
```

図1(a)の時刻10の入力波形に対する処理を例にとり、(1)~(3)の処理を説明する。まず(1)でtable参照用のindexを作成する。部分回路AND-OR用のindexは、各入力ピンの信号値 (各2ビット) を並べた12ビットの2進数 (図3(a)) である。(2)ではtable (配列) のindex番目の要素を得る。部分回路AND-ORなら図3(b)の5ビットの2進数を得る。図3(b)のeはAND-ORの出力信号値であり、その上位3ビットa~cは出力変化の原因を示す情報で、ピンA~Cが原因であれば対応するビットが1になっている。eは内部ノードEの信号値であるから、これを用いて再び(1)でD-latch用のindex (図3(c)) を作成し、(2)で図3(d)の4ビットの情報を得る。セルのQピンの信号値は図3(d)のqに得た。(3)では、図3(b), (d)のビットa, b, c, d, tから、原因ピン集合を求める。例えばAピンが原因ピン集合の要素となるのは、“aとdのビットが共に1であり、かつ、Aピンにイベントが入った”という条件が成立する場合である。従って、図1(a)の時刻中の例ではAピンのみが原因ピン集合の要素となり、図2(a)のイベント伝播が正しく模擬できることが分かる。

以上の評価方法を採用することで、次の理由、

- ・table参照処理以外は、(メモリアクセス無しに) CPUのレジスタ上で高速に実行できる。
- ・セル自体を1つのプリミティブにすることで、イベント数やプリミティブの評価回数が減る。

により高速に処理できる。また前述の模擬処理は定型処理であるので実行コードを容易に開発でき、さ

らにコードのテスト環境も既に整っている[4]。178種のプリミティブを実現するのに必要なtableは89種で、2.244Mバイトという比較的少ない記憶容量に全tableを格納できた。

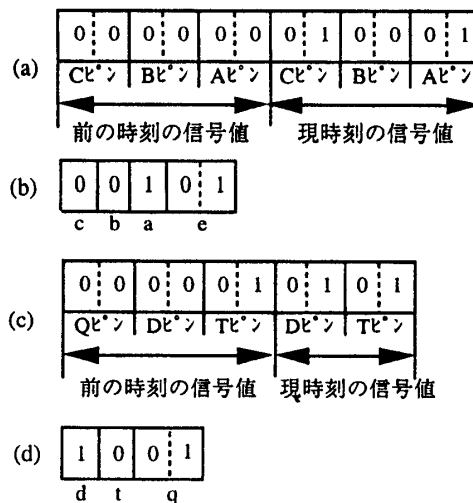


図3 プリミティブ評価手順

4. 適用結果

実際のASICチップ56種のサインオフシミュレーションを実行し調査した結果、図1(a)のタイプの誤りは平均0.76%の割合、図1(b)のタイプの誤りは平均0.052%の割合で発生していることが分かった。またemslの実行時間 (SUN社SS20) の結果の例を表1に示す。

表1 サインオフシミュレーション実行時間

| チップ (gate数) | 市販シミュレータ[1] | | emsl | |
|----------------|----------------------------|--------------|----------------------------|--------------|
| | イベント数 ($\times 10^3$) | CPU時間 (s) | イベント数 ($\times 10^3$) | CPU時間 (s) |
| A (11K) | 14079 | 918.3 | 5665 | 595.9 |
| B (17k) | 98637 | 2589.1 | 47569 | 1128.1 |
| C (13K) | 46876 | 1377.2 | 26497 | 674.2 |

5. おわりに

セルの新しいシミュレーションモデルと模擬手法を導入することによって、高精度、高速なシミュレーションが可能となった。

参考文献

- [1] Verilog-XL Reference Manual 2.1, Dec.1994.
- [2] S.gai, et.al., Trans.CAD, Vol.CAD-6, No.1, pp.85, 1987.
- [3] E.Ulrich, Proc.17th D.A.C., pp.560, 1980.
- [4] 奥本、他、平6情処秋全大、7L-2.