

回路パターンに基づく回路変換システムの開発

1K-7

澤田直[†] 熊沢雅之[‡] 上林彌彦[‡]
[†]九州大学工学部 [‡]京都大学工学部

1 はじめに

VLSI技術および論理回路の自動設計化技術の進歩に伴い、計算機による論理回路設計が実用の域に入ってきている。

1970年代前半にイリノイ大学において開発されたトランスダクション法^[2]は、許容関数という概念に基づき回路内の潜在的なドントケアを有効に利用して形状変換と冗長部分の削除を行う手法である。

トランスダクション法においては、初期回路として与えられた回路を元に最適化を行う手法であるため、初期回路の性質によって最適化後の結果が大きく左右され、局所解に落ち込んでしまうことも稀ではない。

そこで本稿では、局所解脱出の1手法として、あらかじめ回路の変形パターンを用意しておき、それを用いて回路全体を変化させる手法について比較実験を行い、その結果を報告する。

2 トランスダクション法の概要

本章では、トランスダクション法の基本的な概念を述べる。論理回路はNORゲートのみのもを扱っているが、一般化は容易である。

2.1 許容関数

あるゲート（結線）の実現する関数 f を、論理関数 f' で置き換えても回路全体としての出力に変化が無い時、そのような f' をゲート（結線）の許容関数 (Permissible Function) であるという。また許容関数の集合の中で同時に置き換え可能なものからなる部分集合を CSPF (Compatible Set of Permissible Functions) と呼び、0, 1, * (don't care) の3値をとる関数 G で表す。

2.2 許容関数集合における回路変換

ある回路中の結線の許容関数集合に恒偽関数が含まれる時、この結線は削除可能である。また、ある結線をゲート v に接続した時の v の実現する関数が v の許容関数集合に含まれる時、この接続によって回路の出力は変化しない。ゲート v_i から到達可能なゲート集合に含まれないゲート v_j の出力をゲート v_i の入力に接続可能である条件は、以下のように表すことができる。

$$G^{on}(v_i) \cap f^{on}(v_j) = \phi \quad (1)$$

ここで G^{on}, f^{on} は CSPF, 論理関数の ON 集合を表す。

トランスダクション法のうち一般によく用いられる手法である手続き C/DC (Connectable/ Disconnectable) は、この性質を積極的に利用して回路を変形、単純化する手法である。

Development of Pattern-Oriented Transformation System

Sunao SAWADA[†] Masayuki KUMAZAWA[†]

Yahiko KAMBAYASHI[‡]

[‡] Faculty of Engineering, Kyoto University

[†] Faculty of Engineering, Kyushu University

3 回路の変形パターン

3.1 Transformation A

これは文献^[1]に示されている変形であり、回路中の図1の(a)の様なパターンを(b)の様に変形するものである。

この変形では要求される条件が比較的多い為、小規模な回路ではマッチするパターンが少ない。

手続き C/DC と併用して大規模回路に適用したところ、約一割の回路ではより良好な結果が得られた。

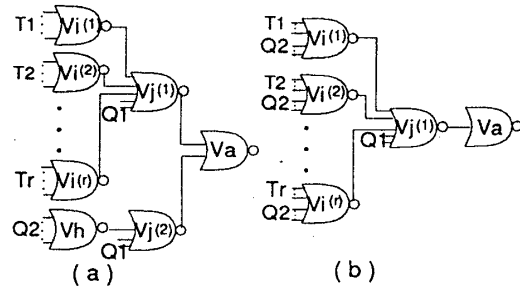


図1: Transformation A

3.2 入力結線のシフト

NORゲートの基本的な性質として以下の変形が可能である。ここでゲート v_i の入力(出力)に直接結線されている全てのゲート及び入力端子(出力端子)の集合を $IP(v_i)(IS(v_i))$ とする。

変形1: $IP(v_j)$ の要素がゲートのみであり、要素全ての入力に共通のゲート(外部入力変数) v_l が結線されているとき、 $IS(v_j)$ の全ての要素の入力に v_l を結線する。

変形2: 変形1を行った後、 $IP(v_j)$ の要素のうちファンアウト数1のものについては、入力から v_l を削除する。

変形1及び変形2が適用された場合、入力が回路の出力端子側にシフトされる。また、 $IS(v_j)$ が共通の v_l を持つ場合には、逆の変形を行うことが可能で、その場合には入力は回路の入力端子側にシフトされる。

この変形はゲート数を変えず結線のみを変化させることから、回路の変形に適していると考えられる。ただし、ファンイン制限を設けて変形を行う。

3.3 直列分解を用いたファンイン制限

直列分解を用いてファンイン制限を行う手法と手続き C/DC との併用による最適化手法は文献^{[3][4]}等で研究されている。本稿では、これらの研究におけるファンインの直列分解を段数増加抑制の点で更に強化した手法を示す。図2に直列分解の概念を示す。

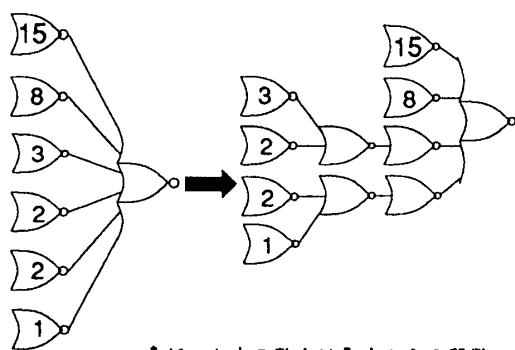
図の様に、段数の高いゲートはなるべく段数を増やさないように分解を行う。これにより評価対象となる回路の段数増加を防ぐことができる。

具体的には、文献^[4]に示されている以下の手続きを用いて最適化を行う。本稿ではstep2の直列分解の段数制限を強化している。

表 1: 実験結果

回路	初期回路	Tr(単独)	SHI(入力側へのシフト)	SHO(出力側へのシフト)	Fanin(直列分解)
9symml	168/402/14	154/377/14	138/377/16	154/377/14	135/352/12
C432	209/421/25	155/333/21	155/333/21	155/333/21	126/285/21
alu2	360/747/39	231/567/27	217/558/27	224/556/27	164/422/20
apex7	268/501/17	219/427/13	211/432/11	212/419/13	210/417/17
c8	188/371/7	138/275/7	114/258/7	135/271/7	129/253/7
term1	391/869/14	162/349/10	157/351/10	148/325/10	139/289/10

※ 太字は Tr よりも良い結果を表す (ゲート数 / 結線数 / 段数)



MAXFANIN 4 *ゲート内の数字は入力からの段数

図 2: 直列分解

- step1: 手続き C/DC をファンイン制限無しで適用
 step2: 直列分解を行ってファンイン制限を行う。
 step3: ファンイン制限付き手続き C/DC を行う。
 step4: step1 から step3 を改良が見られなくなるまで繰り返す。

4 実験結果

前章で述べた変形を C 言語を用いて実装し、手続き C/DC と併用して実験を行った。具体的には、LGSynth '91 多段ベンチマーク回路をファンイン 4 までの NOR ゲートにマッピングした回路について手続き C/DC を適用し、その回路に対して本稿で述べた各種変形を行った上で再度手続き C/DC を適用するというものである。

なお本プログラムの SBDD 処理は、NTT の湊真一氏による SBDD パッケージを使用している。表 1 にその結果の一部を示す (Transformation A を除く)。ここで、表中の Tr は手続き C/DC のみを適用した結果であり、SHI, SHO は 3.2 節で述べた入力結線をそれぞれ回路の入力端子側、出力端子側へシフトする変形を用いた結果である。最後に Fanin は 3.3 節で述べた手法による実験の結果を表す。SHI, SHO については変形の操作は 1 度の操作しか行っていない。

結果より、手続き C/DC と何らかの変形を併用した場合、殆どどの回路で単独で手続き C/DC を適用した場合よりも回路コストに改善が見られる。

上で述べたように、3 種の手法を直接比較することはできないが、実験の結果、各回路にとって適当な変形が選ばれる必要があることがわかる。例えば表の c8 では一連の操作を一度しか行っていない SHI の結果が、操作を複数回行っている Fanin の結果よりもゲート数において 13% 少ない。

また、今回の結果で SHI と SHO を比較すると SHI の

方がよりゲート数が少なくなる場合が多いが、term1 では SHO の方がゲート数が小さくなっている。

Fanin については、殆どどの回路では段数増加が抑えられていることが示された。例えば alu2 では、他の手法と比較して大幅に段数が小さく、初期回路と比較して約 50% 減となっている。

回路の変形自体は論理関数等の計算を行わない為、大規模回路にも適用可能であり、変形時間は非常に短い。大規模回路に SHI, SHO の手法を適用した場合、90% 以上の回路でゲート数、結線数、段数いずれか、あるいは全ての点での改善が見られた。

この結果より、局所解を抜け出す一つの方法として回路の形状を変化させる手法が有効であることが示された。また、それはゲートレベルの変形に留まらず、結線の変形も有効な手段となることも同様に示されている。

5 あとがき

本稿では 4 種類の回路の変形ボタンを用いて回路の形状を変化させることでトランスダクション法が陥りやすい局所解を抜け出す手法について比較実験を行い、トランスダクション法が単独で用いられる場合よりも良好な結果が得られることを示した。

謝辞

SBDD パッケージを使用させていただいた矢島研究室の皆様に深謝する。

本研究は、新エネルギー・産業技術開発機構 (NEDO) の提案公募型・最先端分野研究開発のプロジェクトとしての支援を受けている。

参考文献

- [1] Y.Kambayashi, H.C.Lai, S.Muroga: "Pattern - Oriented Transformations of NOR Networks", Report No. UIUCDCS -R-90-1573, Dept.of Comp.Sci. Univ. of Illinois, February 1990
- [2] S.Muroga, Y.Kambayashi, H.C.Lai, J.N.Culliney: "The Transduction Method - Design of Logic Networks Based on Permissible Functions", IEEE Transactions on Computers, Vol.38, No.10, pp.1404-1424.1989.
- [3] S.Sawada, Y.Kambayashi, S.Muroga: "Generation of Fan-in Restricted Initial Networks for Transduction Method", Proceeding of the Synthesis and Simulation Meeting and International Interchange, April 1992, pp.36-45.
- [4] 高田, 石垣, 上林, "効率の良い直列分解多段化に基づくファンイン制限付トランスダクション法実現の一手法", 情処第 46 回全大, 8M-4, 1993 年 3 月。