

超並列計算機を実現するための相互結合網の設計
 —— FPGAによる実現 ——

3P-5

杉原 泰治郎 Andrew C.FLAVELL 高橋 義造
 徳島大学工学部知能情報工学科

1. はじめに

超並列計算機を実現するにあたり、高速なメッセージ通信は最も重要な要素である。我々の研究室では、高速なプロセッサ間通信を実現するための専用のハードウェアとして、プロセッサ間をリング状に結合したRI(register-insertion)リング結合網を用いたTokkyūルータを研究している。[1,2]最近では専用のLSIをゲートアレイで作るかわりに、ユーザが何度でもその機能をプログラムすることができるFPGA(Field Programmable Gate Array)がさまざまな分野で利用されており、このTokkyūルータをFPGAによって実現することを試みた。

2. RIリング結合網

図1は、RIリング結合網である。プロセッサ要素n0~n3とスイッチでリングが構成されており、同期式回路で実現される。スイッチの役割は、図1の点線で示されているように、n1からn0にメッセージを転送する場合、スイッチがなければプロセッサ要素n2とn3を通過することになり、それだけ通信の遅延が大きくなるが、スイッチを付け加えることによって、プロセッサ要素n2とn3を通過しなくなるのでより高速にプロセッサ間の通信が可能となる。図1に

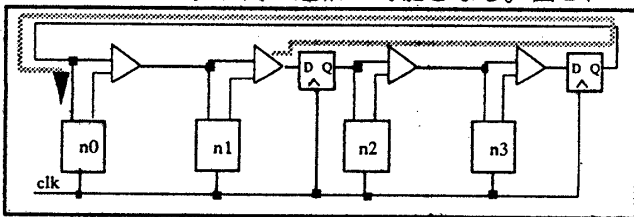


図1 RIリング結合網

はn1とn2の間と、n3とn0の間にレジスタがある。このようにすることで、プロセッサを増やしてもクロックの周期は大きくならない。また、レジスタを多く使用してクロック周期を短くしても、レジスタの遅延が大きくなり良い性能は得られない。

3. ルータの構成

一般のルータでは入力にキューを使用しそのキューにクロスバーを接続しているが、Tokkyūルータでは、出力にキューを使用し、クロスバーの代わりにn:jキュースイッチを使用している。出力コントローラは、キューの出力からのパケットのスケジューリングを行っている。入力パケットに、packet expresswayを通過させるかどうかは、グローバルアービタが判断をする。TokkyūルータはRIリング結合に採用されているので、プロセッサ間で双方向のメッセージのやりとりが可能となっている。入力コントローラは、パケットヘッダを調べてアービタにどのようにパケットを送信するかを知らせる信号を送っている。

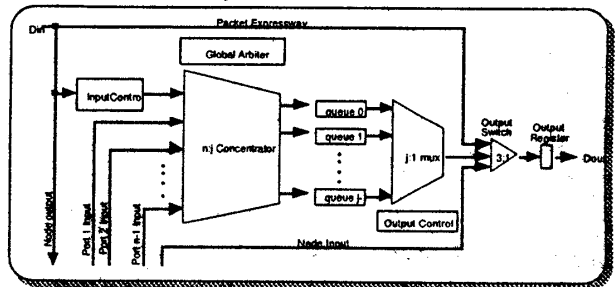


図2 Tokkyūルータ

Design of an interconnection network for massively parallel computer - Implementation on FPGA -
 Taijiro SUGIHARA, Andrew C.FLAVELL, Yoshizo TAKAHASHI. Department of Information Science and Intelligent Systems, University of Tokushima.

4. FPGAによるルータの設計

何種類かのFPGAがあるが、その中でXilinx社の製品でプログラム可能な論理ICであるLCA(Logic Cell Array)は、便利な設計環境が充実していて、きめ細かな回路設計ができる。[4,5]

一方、ルータの回路の設計システムとして用いる PARTHENONは、ハードウェアの機能を動作記述言語SFL(Structured Function Description Language)により記述することができ、ゲート・レベルのネットリストを自動合成することができる。[3]

このFPGAとPARTHENONを使用して、ルータの動作記述から自動的に論理回路を合成し、それをFPGA上に実現することができる。

5. キューの構成

Tokkyū ルータで使用するキューは、LCAのチップ上にXC4000シリーズにおいてRAMを使用できるので、RAMを使って実現する。RAMを使用することによって、CLB数を少なくすることができる。図3のようにキューは、4つの部分に分かれており、Address Logicは、データが書き込まれるアドレスと読み込まれるアドレスの2つのアドレスを記憶している。Flag Logicは、メモリの状態を決定するのに読み込みアドレスと書き込みアドレスの2つを使用し、もしメモリにvalidデータが全くなければEmpty信号を出力し、逆にメモリにデータがいっぱいであればFullの信号を出力する。Arbiter Logicは、PUSHとPOPの要求を単にRAMに伝えている。ACK信号は、出力データがvalidなデータであればHighになる。

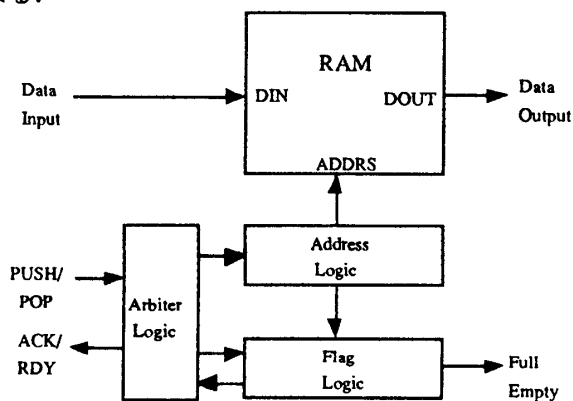


図3 キューの構成

6. プロトタイプの概要

製作しようとするネットワークのプロトタイプは、

図4のような2次元折り返し型トーラスで構成する。各ノードは、プロセッサ要素とルータとNIU(Network Interface Unit)より構成されている。またプロセッサは4×4の合計16個ある。データ幅は8ビットで1方向のデータ線を2本使用して双方向のデータの通信が可能となる。各ボードは、1次元のRIリング相互結合網で構成されている。ボード間は、コネクタで接続する。

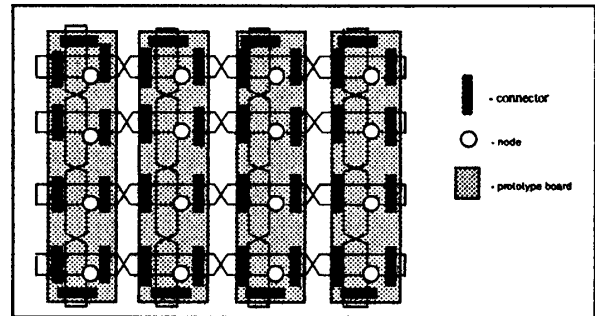


図4 プロトタイプ

7. おわりに

現在プロトタイプを製作中であり、ルータの回路の設計を進めていく予定である。

PARTHENONを提供していただいたNTTヒューマンインターフェース研究所に厚く感謝するしだいである。

参考文献

- [1] A.C.Flavell, Y.Takahashi; "CONTINUUM: A Hybrid Time/Space Communications Paradigm for k-ary n-cubes", Proc.ICPP, vol.1, pp.138-141, 1994
- [2] A.C.Flavell, Y.Takahashi, "Tokkyū: A High-Performance, Randomizing, Adaptive Message Router with Packet Expressway", IEICE Trans. on Information and Siplems, vol.E78-D, 1995 (to appear)
- [3] 筒井 章博, 「PARTHENONによるLCAの開発」, 『インターフェース』, 1995年7月号
- [4] XACT USER GUIDE, Xilinx
- [5] XACT REFERENCE GUIDE, Xilinx