

畳み込み法を活用したPLAの並列分割

7P-2

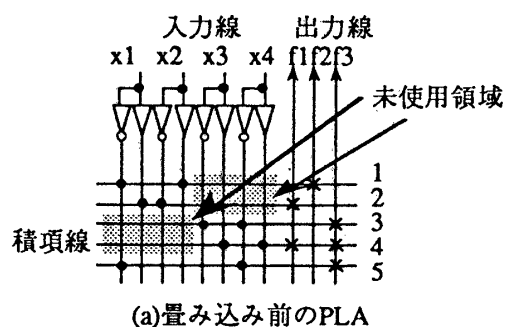
井口幸洋 松島祐介 成田宜孝

明治大学理工学部情報科学科

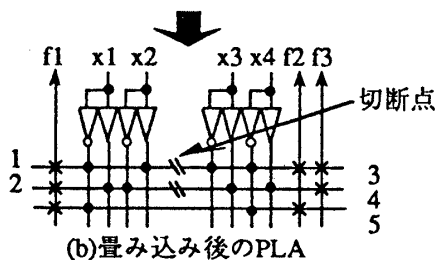
1.はじめに

PLA(Programmable Logic Array)はVLSI上で組合せ論理関数を実現する方法の1つで、論理設計、論理変更、レイアウトが容易に行えるという利点がある[1][2]。消費電力、動作速度等の点で更に性能を向上する方法の1つにPLAの分割がある[3]。

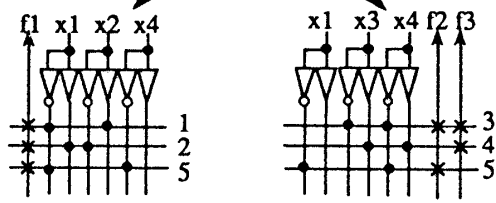
PLAの分割には直列分割と並列分割があり、いくつかの手法が提案されている[4]-[6]。筆者らの提案したワンカット行畳み込みを用いた並列分割法[6]では畳み込みが不可能なPLAは分割できないという欠点があった。本稿では従来手法[6]では分割が求められなかったPLAも分割できるように手法に改良を加えたので報告する。



(a)畳み込み前のPLA



(b)畳み込み後のPLA



(c)分割された例

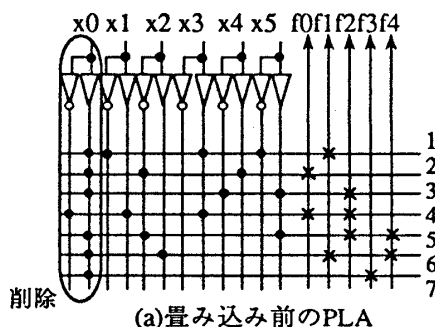
図1 ワンカット行畳み込みの例

2.並列分割法

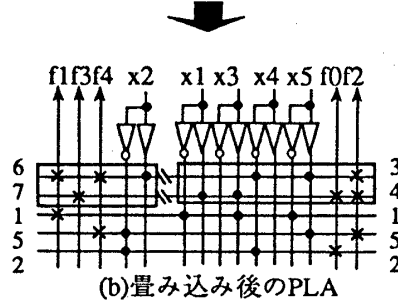
図1(a)のPLAにおいてANDデバイス(●)やORデバイス(X)がない斜線部は未使用である。積項線{1,2}と{3,4}とは共通の入出力線を持たないので、(b)のように配置して未使用領域の面積を縮小することができる。この手法をワンカット行畳み込みという[7]。

畳み込みによって出力f1が左に、f2とf3が右に配置される。出力f1を構成するには入力線x1,x2,x4と積項線1,2,5が必要である。これをまとめてPLA1を得ることができる。同様にPLA2も得られ、(b)から(c)に示す並列分割を得ることができる。

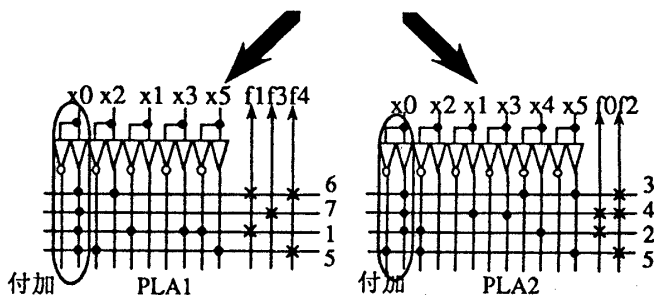
しかし、図2(a)のPLAでは入力線x0のために畳み込みが不可能であり、畳み込みを用いた並列分割法



(a)畳み込み前のPLA



(b)畳み込み後のPLA



(c)分割されたPLA

図2 本稿で提案する並列分割の例

[6]では分割ができない。本稿ではこのような、分割を困難にしている入力線を予め削除して分割を行い、分割後に付加する手法を提案する。例えば、(a)から入力線x0を削除してから畳み込みを行うと(b)のPLAを得る。(b)から分割を求め、削除した入力線x0をそれぞれに付加して(c)のPLA1,PLA2を得る。

3.実験結果

ESPRESSO-II[8]を用いて簡単化されたPLAに対し、分割の評価実験を行った。分割を行った後、簡単化を行うことにより更に面積を縮小できる場合もあるので分割後にも簡単化を行っている。

実験結果を表1に示す。ここでは

$$\frac{(\text{入力線の数} \times 2 + \text{出力線の数}) \times \text{積項線の数}}{1 - (\text{分割後のPLAの面積の総和}) / \text{もとのPLAの面積}} \times 100$$

を面積の削減率とした。表中の'-'は分割不能であったことを示す。

どの入力線を削除するかはデバイス数の多い入力線から順に1~(入力線数-1)本削除を行い、最大の削減率のものを載せた。なお、使用計算機はSPARC Station1, 使用言語はC言語である。

本稿で提案した手法で25個中15個のPLAに対して10%以上の削減率を得た。このうち、従来手法では

分割不可能であったものには†を付し、従来手法よりも削減率が大幅に上がったものには*を付した。表1から本手法が有効であることがいえる。

4.まとめ

ワンカット行畳み込みを用いたPLAの並列分割法の改良案を提案し、計算機実験によってその有効性を示した。現在ほどの入力線を削除するかを自動で求める技法を考察中である。また、他の並列分割法との比較実験も行っている。これらについては稿を改めて報告する予定である。

参考文献

- [1] 笹尾:PLAの作り方,使い方,日刊工業新聞社(1986).
- [2] 笹尾:論理設計-スイッチング回路理論-,(1995).
- [3] 笹尾:"VLSIにおける回路設計方式-PLAを中心に",情報処理第28巻第5号(1987).
- [4] 笹尾,東田"PLAの直列分解について",電子情報通信学会, VLD87-94(1987).
- [5] 笹尾,東田:"PLAの並列分解について",電子情報通信学会, VLD88-85(1988).
- [6] 井口,向殿:畳み込み手法を用いたPLAの分割",情報処理学会,設計自動化研究会42-7(1988).
- [7] 井口,向殿:"FPLAのワンカット行畳み込み",情報処理学会論文誌27-12,pp.1155-1161(1986).
- [8] R.K.Brayton, et al.:"Logic minimization algorithms for VLSI synthesis",Kluwer Academic Publ.(1984).

表1 実験結果

PLA	分割前のPLA			従来手法[6]			本稿で提案する手法			
	入力線数	出力線数	積項線数	削減率 [%]	分割時間 [sec]	畳み込み数	削減率 [%]	分割時間 [sec]	削除数	畳み込み数
3jo	6	6	31	12.5	0.04	1	12.5	0.04	0	1
p1	45	40	117	3.5	2.09	2	3.5	2.09	0	2
p2	23	62	101	-	-	-	11.1†	2.38	4	7
p3	28	17	47	-	-	-	-17.8	0.32	1	1
p4	32	11	124	7.5	0.83	1	11.5	1.20	2	1
p5	27	37	68	36.4	1.15	14	36.4	1.15	0	14
p6	26	40	158	-	-	-	-9.1	2.37	5	1
p7	48	56	177	28.1	13.45	51	48.6*	24.72	1	86
p8	37	35	111	-	-	-	30.5†	1.55	4	7
p9	62	10	279	19.6	8.40	17	40.2*	33.45	9	132
asc	24	24	53	-	-	-	10.4†	0.40	2	1
bw	5	28	24	-	-	-	-1.3	0.13	3	1
duke	22	29	86	13.7	0.64	3	13.7	0.64	0	3
l2	4	4	8	-	-	-	-4.1	0.02	2	1
fp	27	22	47	11.4	0.11	2	11.4	0.50	0	2
dse	12	22	112	-8.9	0.99	2	-4.5	1.53	5	9
nse	13	23	124	-	-	-	7.9	0.92	6	7
opd	14	24	119	-10.4	2.43	3	-6.7	1.87	3	6
p420	17	29	223	18.4	8.03	7	18.4	8.03	0	7
rd53	5	3	31	-	-	-	11.7†	0.02	4	7
rd73	7	3	127	-	-	-	7.5	0.24	3	5
sao1	8	4	255	-	-	-	10.0†	0.47	5	15
sao2	10	4	58	-	-	-	8.3	0.14	6	5
5xp1	8	10	67	23.9	0.22	6	27.2	0.03	2	9
vg2	25	8	110	19.0	0.82	9	19.7	1.18	2	18