

汎用 CPU を用いた耐故障性マルチプロセッサ SOFT の設計と評価*

6P-8

玉木 淳一 高西 裕治 森 秀樹 上原 稔†
 東洋大学工学部情報工学科‡

1 はじめに

本論文では、我々が開発中である耐故障性マルチプロセッサシステム SOFT(Stream Oriented Fault Tolerant architecture) [1][2] を実現するためのインターフェースチップの設計と評価を行なう。このインターフェースチップは、汎用 CPU を複数用いて耐故障性マルチプロセッサシステムを構成する際、耐故障性パイプライン機能をシステムに付加するものである。その特徴は、多数決を基に時間冗長を加味することで、三重化より少ないゲート数で故障を回避できることと、パイプライン処理を行なうことでハードウェア資源を有効に使用できることである。本研究では、SOFT を構成する際のインターフェース部分を FPGA に実装し、その機能を確認して、最終的にその ASIC 化を目標としている。そこで本論文では、主としてインターフェース部の FPGA への実装について述べる。

2 耐故障性マルチプロセッサ SOFT

SOFT アーキテクチャは、多数決と信頼度比較を使い耐故障性パイプライン処理を実行する。さらに SOFT では、図 1 に示すように格子結合された複数のセル各々に処理の実行単位である L-turn を割り当て耐故障性パイプラインネットワークを構成する [2][3]。

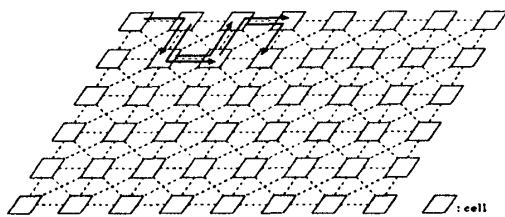


図 1: SOFT 概念図

SOFT における耐故障性パイプラインとは、3つのセルをグループとし、1つのパイプラインステージとして処理を行い、その結果を次のパイプラインステージの3

つのセルに渡すときそれぞれのセルで多数決により故障をマスクする方式である。

1つのパイプラインステージに含まれる3つのセルは、次のステージにより2つのセルを共有し面積占有率ならびに配線コストを節約している。

3 インターフェース部

SOFT アーキテクチャでは、実装を行なうために汎用 CPU である SH7034[5] を複数個用いて耐故障性マルチプロセッサシステムを構成している [4]。その際、システムに耐故障性パイプライン機能を付加するために図 2 に示すようなインターフェースチップを設計する。

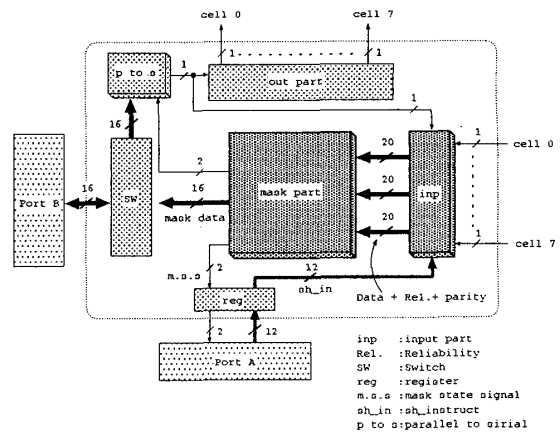


図 2: インターフェイスチップ

本チップは、入力部分でシリアルデータをパラレルデータに変換すると共にパリティチェックを行う。マスク部では、多数決を基にデータ信頼度を使用することにより故障回避を行う。また出力部では、演算結果を受け取りシリアルデータに変換して8方向の近傍セルへ出力する。

また、SOFT ではパイプライン処理を行うため、セル間の同期をとらなければならない。その方法としてセル間通信には調歩同期を用いて、故障が発生した際のパイプラインストールを防いでいる。またインターフェース部と CPU 間の同期はコンパイラ解析に一任することにした。

SH には 16 ビットの入出力ポートが2つ存在するので、インターフェースチップは、ポートの1つを SOFT の制

*The design of Fault Tolerant Multi Processor SOFT with general purpose CPU

†Junichi TAMAKI, Yuji TAKANISHI, Hideki MORI, Minoru UEHARA

‡Department of Information and Computer Sciences, Toyo University

御と状態信号伝達に使用し、もう1つのポートをデータ入出力用として使用している。図2のPort Aが制御用ポートであり、Port Bがデータ入出力用のポートである。

4 評価

ここでは、パス上でデータ故障が発生したとき、パリティチェック機能の有無で故障回避率の違いを比較検討する。そして、論理設計した回路のゲート数を求めてFPGAにマッピングできるかを検討する。

4.1 パリティチェック機能

SOFTアーキテクチャでは、データとして16ビットデータを扱う。そこで、パリティチェックは、16ビットデータにSOFTアーキテクチャに必要な2ビットの信頼度データを付加した18ビットデータに対して、パリティビット(奇パリティ)2ビットを付加する。

次に、シミュレーション方法としては、3つのデータに対して0%~50%の故障率でデータを故障させる。その3つのデータをマスク部の入力とし、その出力結果を見ることよって故障回避が行なわれたかを検証する。

実際には、SFLで以上のような故障を発生させるライブラリを用意し、これをSOFTに組み込んで評価を行なった。その結果を図3に示す。

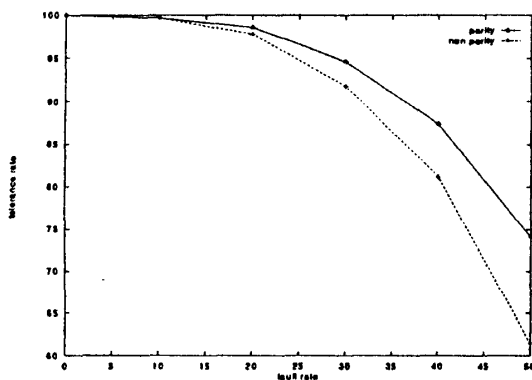


図3: パリティチェック機能のシミュレーション

4.2 FPGA へのマッピング

ここでは、パリティチェック機能の有無で、ハードウェアにどのくらい差があるかを検証し、さらにFPGAへのマッピングについて検証する。

SFLで記述した回路の面積(area)、消費電力(power)、ゲート数(gates)をPARTHENONで求めたものが表1である。ゲート数で比較するとその差は887ゲートである。この程度の規模であれば先ほどのシミュレーション

結果からパリティチェック機能を付け加えることが有効であることがわかる。

項目	power	area	gates
parity	2973.79	378.059	4665
non parity	1995.35	300.46	3778

表1: 回路の合成結果

次に、FPGAへのマッピングについてであるが、今回実装に使用するFPGA(XILINX4010PC84)はゲート数1万、端子数は84本が使用可能である。本研究で作成した回路は、4665ゲートで端子数は46本(残りはデバック端子として使用)であるから、この2点についていえばFPGAにマッピングできることは明らかである。

5 まとめ

本論文では、SOFTアーキテクチャを実現するためのインターフェースチップの設計と耐故障性の評価を行なった。またゲート数や端子数を算出することによって、FPGA化が可能であることがわかった。今後は、実際にFPGAへマッピングを行ない、そのチップを使用してSOFTアーキテクチャの評価ボードを作成し、そのボードでパイプライン処理とアーキテクチャでのフォールトトレランスが実現できているかをテストベクトルを使用し確認していく。また本研究では、動作確認のため入手することのできたCPUの評価ボードを使用し、SOFTを実現したが、今後は真の汎用CPUに対応したSOFTを設計する必要がある。

謝辞 SOFTは、NTTのハードウェア設計支援システムPARTHENONを用いて設計されました。この場を借りて感謝いたします。

参考文献

- [1] Hideki Mori, Junichi Tamaki, and Minoru Uehara. "Stream Oriented Fault Tolerant Array". In *International Conference on WAFER SCALE INTEGRATION*. IEEE, Jan 1995.
- [2] 玉木淳一, 森秀樹, 上原稔. "ストリーム計算のためのフォールトトレラントWSIプロセッサ". 情報処理学会第49回全国大会, Vol. 7K-04, 1994.
- [3] 玉木淳一, 田口英伸, 森秀樹, 上原稔. "SOFTにおける耐故障性アルゴリズム". 電子情報通信学会技術研究報告, 1995.
- [4] 高西裕治, 玉木淳一, 森秀樹, 上原稔. "耐故障性マルチプロセッサのためのSOFTチップの設計と評価". 情報処理学会研究報告, Vol. 95-ARC-31, 1995.
- [5] 日立マイコンシステム. "SH7034 ハードウェアマニュアル". 日立製作所 半導体事業部, 1993.