

トランジスタレベル・スタティックタイミング解析における

5 P-4

順序回路処理方法

竹内秀輝 栗林元隆 辻本順一 山田正昭

株式会社 東芝

1 はじめに

従来トランジスタレベルでのスタティックタイミング解析は、バス探索の始点と終点をユーザーが指定し解析を行なう手法やパターンマッチングによりゲートレベルに変換し解析を行なう手法 [1] が用いられてきた。しかし、ユーザーの負担や処理時間の増大等の問題があった。

本稿では、トランジスタレベルのスタティックタイミング解析に於いて順序回路 (同期回路) を解析するためのバス探索の始点と終点を探し出す手法とその実験結果を述べる。

2 順序回路の分割処理

近年低消費電力化の要求から設計手法として GatedClock が使われている [2]。この手法はクロックを NAND ゲート等により gating することにより行なわれるが、ゲート回路の出力はクロックノードと見做されなければならない。しかしながら、GatedClock 用のゲート回路は数十から数百にも及びこれらを人手で指定することはユーザーの負担の増大を招くばかりでなく、検証の誤りを発生させる原因ともなっていた。

一般に、順序回路ではクロックによって作り出されるハイインピーダンスによって信号の経路が分断される。このことに着目し、順序回路の分割処理をクロック信号を基にクロックノードを追っていき、クロックによりハイインピーダンスに成り得るノードを探し出すことによって実現する手法を開発した。

この処理フローを図 1 に示す。

A Synchronous Sequential Circuit Partitioning Method for Static Timing Analyzer on Transistor-Level
Hideki TAKEUCHI, Mototaka KURIBAYASHI, Jun'ichi TSUJIMOTO, Masaaki YAMADA
TOSHIBA Corporation

```

クロック信号の設定
for (クロックが入力される回路)
if (回路の出力がハイインピーダンスに成り得る)
回路の出力をバス探索の始点に設定;
回路のクロック以外の入力をバス探索の終点に設定;
else
回路の出力をクロックノードに設定;
回路のクロック以外の入力をバス探索の終点に設定;
    
```

図 1: 順序回路の分割処理フロー

3 具体的回路

3.1 GatedClock 用 NAND ゲート

クロックが入力される NAND ゲートは、図 2 に示すようにバス探索の終点がマークされ、NAND ゲートの出力はクロックノードとして分割処理が続行される。

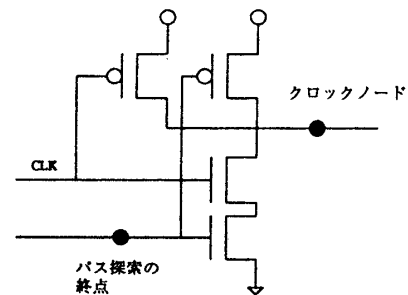


図 2: NAND ゲート

3.2 バストラジスタ

通常の記憶素子であるフリップフロップやラッチの構成要素としてバストラジスタがある。図 3 に示すようにゲートに相補なクロック信号が入力されるバストラジスタを認識し、バス探索の始点と終点がマークされる。

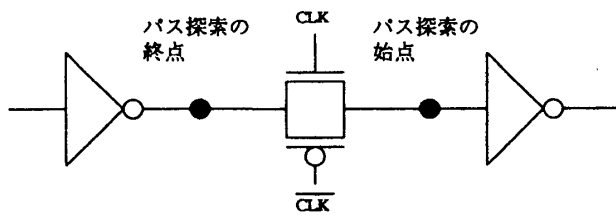


図 3: パストランジスタ

3.3 クロック形 CMOS 回路

図4に示すクロックトインバータは、クロックがハイの時は入力信号の値に応じて出力が確定し、クロックがローの時は入力信号の値に拘らず出力がハイインピーダンスになる。クロック形 CMOS 回路の認識はこのような特性を用いて行ない、図4に示すようにバス探索の始点と終点がマークされる。

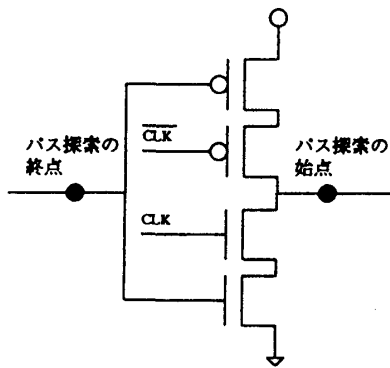


図 4: クロックトインバータ

3.4 プリチャージ回路

図5に示すプリチャージ回路は、クロックがローの時は入力信号の値に拘らず出力はハイを出力し(プリチャージ期間)、クロックがハイの時は入力信号の値に応じてハイインピーダンスまたはローになる(評価期間)。プリチャージ回路の認識はこのような特性を用いて行ない、図5に示すようにバス探索の始点と終点がマークされる。

4 実験結果

開発したツールを用いて組み込み用 RISC マイクロプロセッサのマクロブロックのタイミング解析を行

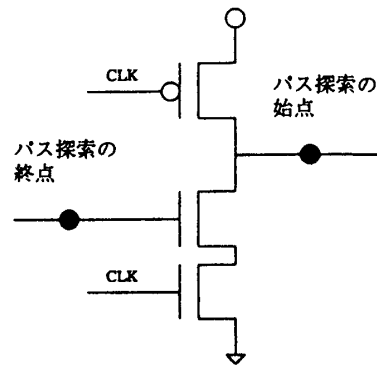


図 5: プリチャージ回路

なった。タイミング解析結果を表1に示す。

表 1: タイミング解析結果

回路	コントロール部	データバス	MACDP
Tr 数	22.6k	37k	30k
分割数	254	555	584
GatedClock 数	22	149	7
処理時間	37min	1h40min	2h14min

5 おわりに

順序回路をクロック信号により組み合わせ回路に分割する方法として、ゲート回路・プリチャージ回路・クロック形 CMOS 回路の出力のとり得る値により各回路を識別しバス探索の始点と終点をマークする手法について提案した。

実験結果より、大規模な順序回路に於いてもユーザーはクロックノードを指定するだけで自動的にタイミング解析を行なえることが分かった。

参考文献

- [1] E. V. Meersch, et al., "SLOCOP: A timing verification tool for synchronous CMOS logic", pp.205-207, in Proc. ESSCIRC '86, Delft, 1986
- [2] 大田黒, 「組み込み用 RISC プロセッサの低消費電力化の手法」, 信学技報, ICD95-60, pp.75-81 (1995)