

進化するハードウェアによるパターン認識システムの 実現方法の考察

5K-6

岩田 昌也, 樋口 哲也

電子技術総合研究所

1. はじめに

進化するハードウェア (Evolvable hardware: EHW) [1] により, 高速パターン認識システムを実現する方法を考察する。本システム製作の目的は, ニューラルネットワークの特征的機能である引き込みを EHW により実現する, パターン認識システムを製作することにより, EHW がニューラルネットワークの代替システムとして利用可能なことを示すことである。EHW は, 遺伝的アルゴリズム (GA) で環境を学習することにより, ハードウェア構造が自ら進化するものである。我々は今までに, EHW により, ノイズのあるパターンでも正しく認識する機能である引き込みが実現可能であることを報告した [2]。本稿では, EHW による引き込みを実現するパターン認識システムの構成方法を述べ, 引き込み能力の高い学習を行うアルゴリズムを考察する。

2. 進化するハードウェア (EHW)

EHW は, 環境に応じてハードウェア構造が自ら進化するハードウェアである。具体的には, PLD などの再構成可能型論理素子 (Reconfigurable Logic Device: RLD) 上の論理回路を, GA を用いた学習で再構成していくことにより EHW を実現する。RLD は, ハードウェア構成を指定するビット列であるアーキテクチャビット列をダウンロードすることにより, 様々な論理回路を構成できる。EHW では, アーキテクチャビット列を染色体と見なして GA を適用し, 目的の機能を学習する。その結果, RLD 上に進化した論理回路が得られる。

EHW は, ニューラルネットワークの特征的機能である引き込みが実現可能なため [2], ニューラルネットワークシステムの代替として利用できる可能性がある。本システムのニューラルネットワークシステムに対する利点は, 処理の高速性と, 学習結果の可読性の2点に集約される。すなわち, EHW の

学習結果がハードウェアそのものであるため, ニューラルネットワークのソフトウェアを基本とした実行に比べ, 学習結果の実行速度が2桁は速くなる。さらに, ニューラルネットワークでは学習結果がネットワークのパラメータで表され, 人間に理解できないのに対し, EHW の学習結果は論理回路としてわかりやすく表される。この可読性は, ニューラルネットワークの問題点を解決する重要な特長である。

3. パターン認識システムの実現方法

3.1 パターン認識と引き込み

EHW によるパターン認識の手順には, パターンの学習と認識の2段階がある (図1)。まず, 認識するパターンを EHW に学習させる。学習後, EHW にノイズのあるパターンを入力しても, 正しい認識ができることを目指す。

パターン認識では, ノイズが加わり不完全な入力パターンも, 学習済みパターンとの類似性から, 正しく識別する機能が要求される。この機能は引き込みと呼ばれ, ニューラルネットワークの特征的な機能である。我々は今までに, パターン認識で重要な, 特徴空間での非線形分離可能性を調べる問題として XOR 問題を取り上げ, その学習と引き込みが可能であることを示した [2]。本稿では, さらに一般的な問題として, 文字などの2次元2値パターンの認識を行うシステムを考える。

3.2 パターン認識システムの構成

システムの構成を図2に示す。本システムは, EHW ボード, GA 操作やシステム制御を行う PC, パターン入力装置 (タブレット) からなる。本システムの構成上の特徴は, EHW を, 書き換え可能型

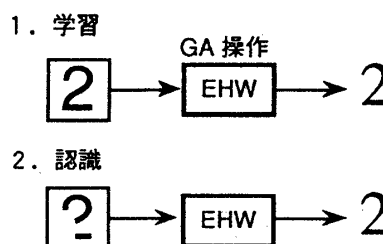


図1 EHW を用いたパターン認識の手順

Consideration on Implementation of Pattern Recognition System by using Evolvable Hardware
Masaya Iwata and Tetsuya Higuchi
Electrotechnical Laboratory
1-1-4 Umezono, Tsukuba, Ibaraki 305 Japan

ゲートアレイである FPGA (Field Programmable Gate Array) 上に実現するため、様々な構成の EHW を実現でき、パターン認識以外の処理にも柔軟に対応できる汎用 EHW システムであることである。

本システムの動作には、図1のようにパターンの学習と認識の2段階がある。まず、パターンの学習の手順を示す。タブレットにより入力したパターンを、PCで、EHWが処理可能な画素数のパターンに変換し、GAで学習する。学習により進化した染色体である EHW のアーキテクチャビット列を EHW にダウンロードすると、進化した論理回路が実現する。次に適応度評価のために、回路に学習パターンを入力する。その結果はビット列として出力される。PCで出力の正解率を評価した結果を次世代での適応度として、GA学習を続ける。学習後におけるパターンの認識は、学習時における学習パターンの認識と同様の手順で行う。

EHW ボードは Xilinx 社製 FPGA (LCA XC4025)

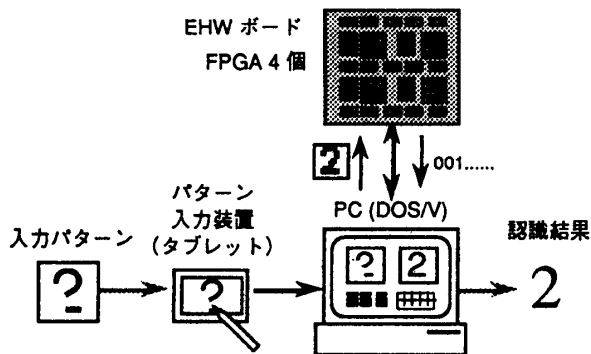


図2 EHWによるパターン認識システムの構成

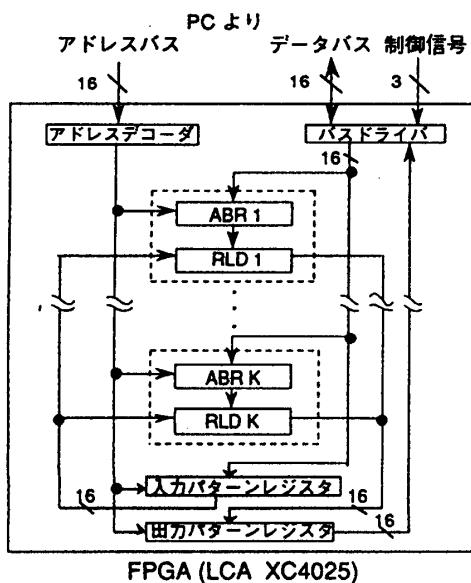


図3 FPGA上のEHWブロック図

を4個搭載する。1FPGAで約25,000ゲートの論理回路を搭載できる。1FPGA上に実現するEHWのブロック図を図3に示す。ABR (Architecture Bit Register) と RLD 1組で、GAの1染色体が表す回路を実現する。現在、パターン認識向きのRLDの回路設計を行っている。

3.3 学習アルゴリズムの考察

EHWで引き込み能力の高いパターン認識を行うためには、進化で引き込み能力が増大するように、EHWのGA学習における適応度を工夫する必要がある。本システムでは、MDL (Minimum Description Length) [3]を用いてGAの適応度を評価することにより、高い引き込み能力を持つ論理回路をEHWに学習させる方法を実験中である。MDLは、機械学習において、いくつかの与えられたデータから、残りのデータを推定するための情報量基準であり、微小なノイズに影響されない推定を行う。

EHWで引き込み能力が高い回路は、ノイズのある入力に対して don't care である場合が多い回路である。したがって、EHWでは、don't care である入力が多い、すなわち使用する入力が少ない回路へと学習が進むようにMDLを設定することにより、引き込み能力の高い回路が得られると考えられる。

4. おわりに

ノイズのあるパターンでも正しく認識する能力である引き込みを実現する、EHWによるパターン認識システムの実現方法について考察した。システムの具体的な構成方法を述べ、さらに、引き込み能力を得る学習を行うアルゴリズムを考察した。

今後、MDLを用いたGA学習アルゴリズムの決定、パターン認識に適したRLDの回路設計を行い、本システムを実働させる予定である。これにより、ニューラルネットワークと同等の機能を持つ、高速でコンパクトなパターン認識システムの実現を目指している。

参考文献

[1] Higuchi, T. et al., "Evolvable Hardware with Genetic Learning" in *Massively parallel Artificial Intelligence* (eds. H. Kitano), MIT Press, 1994.
 [2] 岩田, 平尾, 樋口, "進化するハードウェアによる引き込みの実現方法", 情報処理学会第50回全国大会講演論文集, p. 2-299, 1995.
 [3] J. Rissanen, *Stochastic Complexity in Statistical Inquiry*, World Scientific Publishing Co. Pte. Ltd., 1989.