

## 教育用マイクロプロセッサ MITEC-I の提案

4G-6

小宮山 俊一\* 一戸 哲\*\* 十河 康之\* 山崎 義和\* 石川 知雄\*

\*武蔵工業大学 \*\* (株) 田村電機製作所

## 1 はじめに

近年、半導体技術の進歩により LSI の設計環境が向上し、FPGA と呼ばれるプログラマブルなゲートアレイが出現した。このデバイスを用いることで現在、回路設計から始めるマイクロプロセッサの設計演習が多く行なわれている。その一方、本学におけるコンピュータに関する教育をみると、「情報処理演習」と呼ばれるソフトウェアの講義・演習はあるがハードウェアに関しては、簡単なプロセッサの内部動作をパネルに表示した実験機具が存在する程度であり、内部回路の設計にまでは至っていない。

そこで我々はこの実験機具を発展させ、FPGA を用いて回路設計も演習できる独自のマイクロプロセッサを提案・開発することで、本学における計算機アーキテクチャ教育をより充実したものになりたいと考えた。MITEC とは Musashi Institute of Technology Educational Computer の意であり、最終的にこのプロセッサを使用したコンピュータシステム及び OS を構築し、完全にスタンドアロンで動作するものを目指すことで、回路設計からオペレーティングシステムまでにわたる教育が可能になると考えている。

## 2 プロセッサの概要

本プロセッサのビット幅はアドレスバス、データバスともに 16 ビット、命令はデコードを単純化するため 16 ビット固定長とした。これは演習や FPGA のゲート数を考えると、8 ビット幅では命

Educational Microprocessor MITEC-I  
Tomoo Ishikawa\*, Satoshi Ichinohe\*\*,  
Komiyama Syunichi\*, Sogawa Yasuyuki\*,  
Yamazaki Yoshikazu\*

\*Musashi Institute of Technology.

\*\*TAMURA ELECTRIC WORKS, LTD.

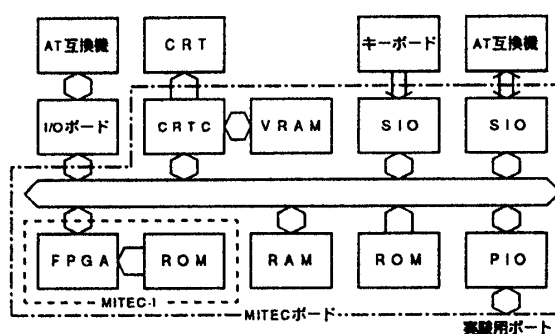
令が可変長になるので命令デコードが固定長に比べ複雑になり、32 ビット幅では 1 個の FPGA に論理を組み込むことが困難になると考えた結果である。また、パイプライン制御を導入し現在主流になりつつある RISC プロセッサに近づけることで、スケジューリングなど特有のプログラミング手法の演習も行なえると考えた。I/O 方式は、メモリマップド I/O としロード・ストア命令で I/O ポートを制御する。これは、分離 I/O 方式にすると命令が 2 つ増えるだけでなく、内部論理や外部ピンが増加するためである。割り込みは、ハードウェア割り込み 3 種 (RESET, NMI, IRQ)、ソフトウェア割り込み 1 種 (TRAP) をサポートする。割り込み発生時に所定ベクタアドレスの内容の番地に分岐する。キャッシュメモリの採用については、別途コントローラを設計しなければならないので、本研究では省いている。

## 3 命令セットの作成

本チップの命令セットはある程度決定してはいるが、暫定的なものであり後述のシミュレータにおいて評価を行なっているところである。メモリ空間が 64k ワードなので、オブジェクトコードが大きくならないよう考慮し作成している。現段階では、命令フォーマット数 5、命令数 53、汎用レジスタ 16 本、システムレジスタ 4 本であり、分岐命令には遅延分岐を採用する予定である。以下に命令フォーマットおよび命令セットを示す。

bit15..12	11..8	7..4	3..0
OP.1	Reg.	即値, 直接アドレス	
OP.1	Reg.	Reg.	Reg.
OP.1	OP.2	ディスプレイメント	
OP.1	OP.2	Reg.	Reg.
OP.1	OP.2	OP.3	Reg.

LDHM	ADD	LSL	BLE	BGT	PUSH
LDR	SUB	LSR	BLT	BGE	POP
LDX	CMP	ASR	BNH	BH	PSHS
LDS	EXS	ROL	BO	BNO	POPS
LDL	OR	INC	BC	BNC	CALL
STHM	XOR	DEC	BZ	BNZ	RET
STR	NOT	CLR	BRA		
STX				NOP	TRAP
STS	MOV		JMP	HALT	RETI



## 4 パイプライン制御方式

パイプラインは5段あり、IF、ID、EX、MEM、WBである。本プロセッサではデータハザードを回避するためにフォワーディングを採用予定である。また、このパイプラインによりメモリバスの競合や遅延分岐によるストールが考えられるが、これはプログラムのスケジューリングにより回避しなければならない。

## 5 アセンブラ・シミュレータ

命令セット評価用のアセンブラ・シミュレータによりいくつかのサンプルプログラムを作成し評価を行なった。その結果を以下に示す。しかしこの結果はMITEC-Iのみであるため、現在Dhrystone2.1を用いて、68000、i386、sparc等との比較を行ない細かく命令の使用状況を調べている。この比較結果によりプログラムサイズやステップ数を減らす方向に命令セットを検討する。

	命令数	ステップ数
線形探索	15	2059
ハッシュ法探索	27	3602
クイックソート	76	約370万

## 6 MITEC-I 動作ボード概要

図1に現在設計中のMITEC-I動作ボードの概要を示す。現段階ではプロセッサが完成していないため、その代替としてAT互換機を接続し、ボード上の各デバイスの動作確認およびBIOS、モニタROMの開発に使用する。そのため実験用のインジケータ表示などは付けていない。

図1: MITEC ボードブロック図

## 7 モニタの設計

ボードの設計と並行してモニタ(OS)の開発を行なっている。これは、PCとの通信や割り込み時の処理、ボードの動作チェック、プログラムのデバッグ(トレース実行、ステップ実行)等を支援するものとしている。演習時にはこれを利用することになるため、簡潔でわかりやすいコマンド群になるよう配慮する。

## 8 まとめ

以上に現在の仕様を述べたが、内部アーキテクチャや命令が複雑にならないように注意しなければ、教育用として使えるものにはならない。現段階で全体の構造のほとんど決定してしまうため慎重に設計を行なっていく。また、現時点での仕様でアーキテクチャのブロック図を作成したところ、全体で573ビットのレジスタが必要となり、うち44%がバッファレジスタとなった。このため1個のFPGAに論理が組み込めなくなる可能性もあるので、命令セットと共に検討していく。

## 参考文献

- [1] 情報処理学会: 情報処理学会研究報告, 93-ARC-100, 1993
- [2] J.Hennessy & D.Patterson: コンピュータ・アーキテクチャ - 設計・実現・評価の定量的アプローチ -, 日経BP社, 1992