

## フロアプランを利用した論理合成の遅延予測精度向上手法と タイミングドリブンレイアウトの適用事例

7B-4

岩崎 光孝† 星 直之† 松尾 俊彦† 東 辰輔†

†三菱電機（株） 電子回路技術センター ††同 情報システム研究所

### 1 はじめに

半導体技術の進歩により、ASIC (Application Specific Integrated Circuit) は年々高速化/高集積化が進んでいる。これにより、現在では100Kゲート超規模の回路を単一ASICで実現することも可能になった。一方設計側では、対象回路の大規模/高機能化に対応する為、HDL (Hardware Description Language) による機能レベル言語記述と論理合成による設計手法が一般化した。

デバイスの高集積化に伴い、ASIC内部の信号伝搬遅延要因のうち配線容量に起因する遅延の割合が高まっている。従って、論理合成を使用する際にはレイアウト後の実配線容量を考慮して設計しないと、論理合成/レイアウト相互間のフィードバックループが発生し開発期間の増加を招く。この問題に対し、我々はフロアプランによる論理合成時の遅延予測と、タイミングドリブンレイアウトによる手法を適用した。本稿ではその概要を報告する。

### 2 フロアプランによる論理合成の遅延予測

大規模回路を設計するにあたり、通常は対象回路を複数のブロックに分割して設計する。論理合成を使用する場合には、論理合成システムの性能上の制約も考慮し最大3~4Kゲートのブロックに分割し、ボトムアップに設計していくのが一般的である。さらに所望の回路を得るため、速度（クロック周波数、入出力タイミング、出力負荷等）、あるいは面積を制約条件として与えて論理合成を行う。

論理合成における配線遅延の推定手法として、一般的には仮想配線容量テーブルによる遅延計算が用いられる。仮想配線容量テーブルにはチップ全体或は部分領域のダイサイズ及びファンナウトから算出された1配線の平均長（仮想配線長）当たりの容量が格納されており、論理合成時にはセル間の配線長は常に一定として計算される。これに対し、レイアウト実行後の実配線長はセル間で全て異なる。この仮想配線長と実配線長の差異によりレイアウト後にタイミング制約が満たせなくなり、論理合成へのフィードバックが発生する。また、ブロックを特定領域に配置する様に指定した場合、その領域内における仮想配線長と実配線長の差異は小さく抑えられるが、ブロック間を渡る信号においては仮想配線長より長くなり、同様にフィードバック発生の原因となる。

次に、上記問題を解決する為今回実施した手法について説明する。まず、フロアプランを用い、タイミング的にクリティカルになることが予想されるブロック間信号が短くなる様にブロック領域（タイル）間距離を調整しながら各ブロックのフロアプランを実施する。続いて、フロアプランに基づいてブロック間信号の概略配線長を求め、配線容量を算出する。概略配線長は、図1に示す様な各タイルの中心点を結ぶセグメントのマンハッタン距離である。

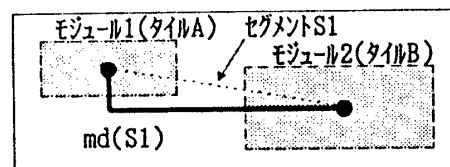


図1 2タイル間のマンハッタン距離

2タイル間の配線容量の算出式は以下の通りである。

$$md(S1) * length\_factor * C_{ul} + W$$

- $md(S1)$  : 2タイル間を結ぶセグメント  $S1$  のマンハッタン距離
- $length\_factor$  : レイアウト時の配線引き回しなどを考慮した係数
- $C_{ul}$  : 単位長当りの配線容量
- $W$  : 同一タイル内に2つ以上のピンがある場合（例：図2のタイルB）の容量加算値

Applications of Delay Estimate Precision Improvement Method in Logic Synthesis and Timing-Driven Layout to the Large-Scale ASIC Design

Mitsutaka Iwasaki †, Naoyuki Hoshi †, Toshihiko Matsuo †, Shinsuke Azuma ††

† Mitsubishi Electric Corporation Electronic Design Engineering Center

325, Kamimachiya kamakura kanagawa 247, Japan

†† Mitsubishi Electric Corporation Computer & Information Systems Laboratory

5-1-1, Ohfuna kamakura kanagawa 247, Japan

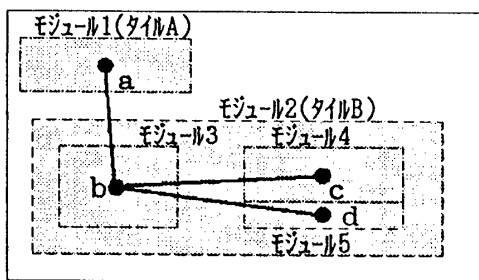


図2 タイル内に複数ピンを持つ信号

3タイル以上にまたがる（2つ以上のセグメントを持つ）信号の容量は、上式に基づいて算出した各セグメントの容量値の和である。

上記の計算で求められた各ブロック間配線容量を、論理合成時の制約条件として与えることにより、ブロック間配線については仮想配線容量テーブルの値を用いる場合と比較してより実配線の容量に近い値で回路が合成される。合成されたネットリストのレイアウトに際しては、フロアプラン情報に基づきチップ上の配置領域をブロック毎に指定した上でこれを実施する。この領域指定情報はレイアウトシステムが読み込むことの出来るフォーマット（以下、レイアウト入力フォーマット）でフロアプランが自動生成する。

以上により、精度の高い遅延予測を行い、レイアウト前後の遅延誤差を従来より小さくすることが可能となる。

### 3 タイミングドリブンレイアウト

配線チャンネル不足による配線の引き回し等が原因で実配線上タイミングエラーが発生することが往々にしてあるが、これは2章の手法では防ぎ得ない。この問題を解決する手段としては、タイミング制約を与えてレイアウトを行うタイミングドリブンレイアウトの手法を適用した。

与えられるタイミング制約としては、論理合成システムが内蔵するタイミング解析機能を用いてクリティカルパスの遅延情報をSDF (Standard Delay Format; 遅延表現の標準フォーマット) で抽出した。論理合成システムの出力SDFには必要なタイミング制約情報が一部含まれていない為、その情報は人手による追加を行った。

このSDFをレイアウト入力フォーマットに変換し、2章で述べたフロアプラン出力のレイアウト入力フォーマットとマージしたものをレイアウトシステムの制約条件としてレイアウトを実施する。配線不能解が発生した場合、その数が10本前後と少ない場合、ECO (Engineering Change Order) による部分修正で対応する。不能解の数が多くなるとECOによる改善が困難になるので、その場合はフロアプランの変更、あるいは論理合成の制約条件変更等による回路の速度/面積特性の改善により対処する。

## 4 適用結果

本事例において、フロアプランは2章で説明した手法を適用する為、新規に開発した。フロアプランの画面イメージを図3に示す。

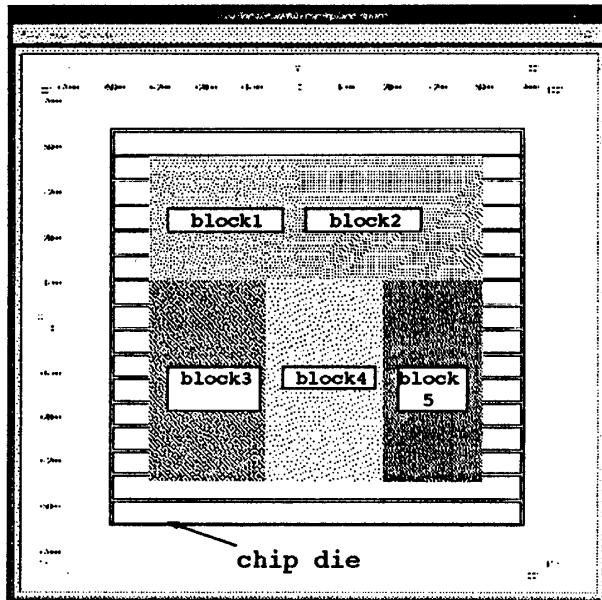


図3 フロアプラン (フロアプランエディタ部)

今回、上記の手法を70KG規模のASICに適用した。タイミング制約なしでレイアウトした際にエラーとなるバスに制約を与えることで、制約を満たす配線処理を実行することが確認出来た。エラーとなるバスが多数存在する場合、タイミング制約数の増加に起因する処理時間の増加、及び制約条件が指定されていないバスの配線引き回しによる新たなタイミングエラーの発生などの問題もあるが、この場合にも論理合成/フロアプランへのフィードバックの回数はタイミング制約なしの場合と比較して減少した。

今回の適用において、タイミング制約の数によるレイアウトタピリティの変化にはダイサイズ、ピンペア数、チャンネル配線領域の余裕等の要因が大きく影響することが分かった。これらの相関関係を明らかにし、フィードバックループ回数をさらに減少させる効率のよいタイミング制約の与え方を検討することが今後の課題である。