

大規模ASICのテスト設計手法とバウンダリスキャン適用事例

6B-6

山元浩幸 橋田光弘 松尾俊彦
三菱電機（株）

1 はじめに

本論文では、大規模ASICに対するテスト設計手法とASICが搭載された高密度実装基板に対するバウンダリスキャンテストの適用事例について報告する。

大規模ASICに対して、品質の高いテストを実現するためには、何らかのテスト設計手法を採用することが必須である。本論文では、ASICのテスト設計手法の中で最も適用されているスキャン設計手法のうち、回路オーバーヘッドを最小に抑えるパーシャルスキャンとその適用事例、及び、その効果を紹介する。

高密度実装基板に対しては、IEEE 1149.1で標準化されたバウンダリスキャンでのテストが有効である。本論文では、「バウンダリスキャン設計、テスト支援システム」[1]を用いてASIC内へのバウンダリスキャン設計組み込みからASICが搭載された高密度実装基板へのバウンダリスキャンテストの適用事例を紹介する。

2 ASICのテスト設計手法と適用事例

2.1 ASICのテスト設計手法

今回採用したASICのテスト設計手法を図1、図2、図3にもとづいて説明する。

(1) パーシャルスキャン設計

図1は、Dラッチを用いた2相クロック設計のオリジナル回路である。この回路に対して、今回実現したパーシャルスキャン設計では、図2に示すように互いに隣接する2つのDラッチをダブルスキャンラッチに置き換え、さらに、ダブルスキャンラッチ間に1段のみDラッチが入るように回路の置き換えを行なう。また、ASIC内にシングルのスキャンラッチも含まれる場合は、スキャンラッチとスキャンラッチ（シングル又は、ダブル）の間に1段のみDラッチが入るように回路の

置き換えを行なう。

(2) スキャンラッチの多ビット化

クロックスキューを低減するため図3に示すように4ビットをベースとしたダブルスキャンラッチをレイアウトでハードマクロとして使用できるようにユーザーマクロとして生成する。

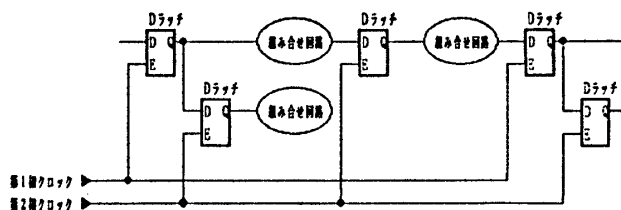


図1 パーシャルスキャン変換前のオリジナル回路

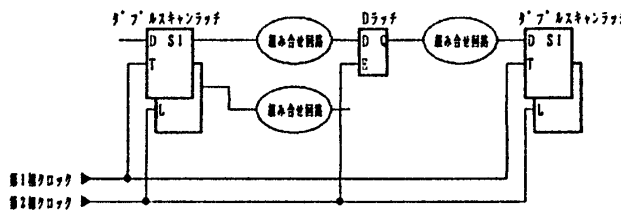


図2 パーシャルスキャン変換後の回路

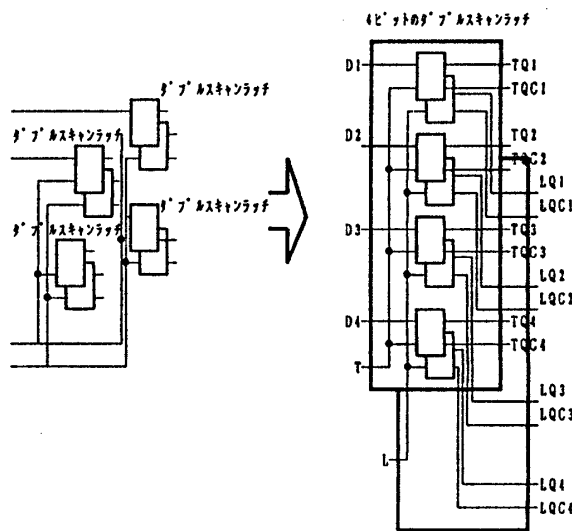


図3 ダブルスキャンラッチの4ビット化

ASIC Design for testability and boundary scan
Hiroyuki Yamamoto, Mitsuhiro Kitta, Toshihiko Matsuo
Mitsubishi Electric Corporation, Electronic Design Engineering Center
325, Kamimachiya kamakura kanagawa 247, Japan

2.2 ASICのテスト設計適用事例

100KGクラスのASICに対して、以上の設計手法を採用した場合とフルスキャン設計を採用した場合の比較検証結果を表1に示す。ゲート規模に関しては、このようなパーシャルスキャン設計を採用したことにより、フルスキャン設計した場合と比較して12%ゲート規模を削減することができた。

また、この回路に対してテストパターン自動生成を行った結果、フルスキャン設計した回路に対してテストパターン自動生成した場合と比較して、テスト周期は195%増加したものの、故障検出率は、フルスキャン設計した場合とはほぼ変わらない良好な結果を得ることができた。テストパターン生成時間もフルスキャン設計と比較して19%増加しただけで、有効性を確認できた。

表1 100KGクラスのASICでの比較検証結果

設計手法	フルスキャン	パーシャルスキャン	
ゲート規模	100(*)	88	12% 削減
スキャンレジスタ数	3698	1372	
スキャンなしのレジスタ数	0	4102	
故障検出率	98.95%	98.32%	0.63% 減少
テスト生成時間	100(*)	119	19% 増加
テスト周期	2,472K	7,290K	195% 増加

(*)フルスキャンの場合を100として算出

2.3 バウンダリスキャン設計

今回、開発した製品では、上記のASICのためのテスト設計手法を組み込むとともに、高密度実装基板のテスト性を向上するために、ASIC内にはバウンダリスキャン設計を採用した。ASIC内へのバウンダリスキャン回路の挿入とその回路検証、テストデータ生成は「バウンダリスキャン設計、テスト支援システム」[1]を用いて行った。

バウンダリスキャン設計の進め方としては、まず、バウンダリスキャン回路を挿入する。次に挿入したバウンダリスキャン回路を検証するために、BSDLをもとにテストパターンを自動生成し、機能タイミング検証を行った。このとき生成したテストパターンは、ASICのテスト時に、出力の同時動作による誤動作を防止するために出力ピンをグループ化し、各々のグループ単位で順々にオン/オフするようなテストパターンを自動生成してテストを実施した。

3 バウンダリスキャンテストの適用事例

次に、バウンダリスキャンを採用した基板イメージを図4に示す。この基板に搭載されているASICの形状が576ピンのTCPパッケージでピンピッチが0.25mmと狭ピッチのためインサーキットテスト

のテストプローブピンを接触することが不可能となり、バウンダリスキャンテスト手法を適用した。また、基板には、このASICが5石の他に、2石のバウンダリスキャンが採用されているVLSIが搭載されており、これら7石のバウンダリスキャンを採用したLSI間を図4に示すように接続した。7石のLSIのうち1石でも故障した場合にはテストが困難になるので、個々のLSI毎にテストできるようにテストクロックTCK (或は、テストモードTMS)は個々のLSIに接続し、各LSI間のバウンダリスキャンのパスにはテストからテスト用プローブが接触できるようにしている。また、他の部品は、バウンダリスキャンが採用されていないので、LSIとこれらの部品との間は、バウンダリスキャンと従来のインサーキットテスト手法を組み合わせることでテストを実施している。(図4のハッチングしている部分はバウンダリスキャンを用いてテストを行なっている。)

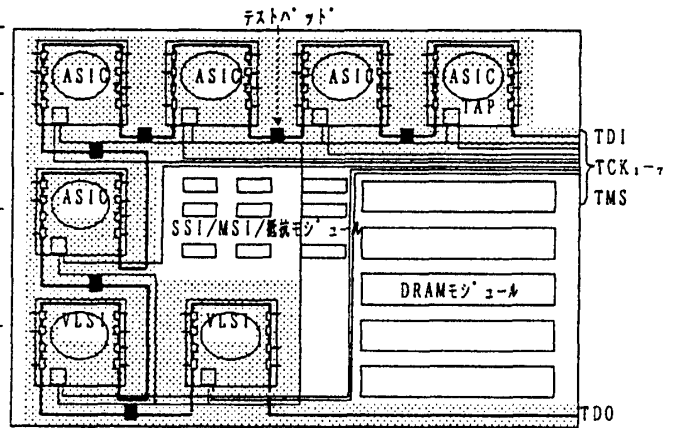


図4 基板のイメージとバウンダリスキャンテスト回路(ハッチングの部分)

以上のテストは、「バウンダリスキャン設計、テスト支援システム」[1]を用いて行ない、これにより、基板の製造不良は100%検出できるテストが実現できた。

4 おわりに

本論文で紹介した大規模ASICに対するテスト設計手法により、回路オーバーヘッドを最小にすることができ、フルスキャン設計を行った場合に匹敵する高い故障検出率のテストが実現できた。また、バウンダリスキャンテストにより高密度実装基板に対しても高い検出率のテストが実現できた。

参考文献

- [1] 橋田, 山元, 山崎, 内山, 佐藤: バウンダリスキャン設計、テスト支援システム, 情報処理学会第50回(平成7年前期)全国大会 講演番号6B-5.
- [2] IEEE Standard 1149.1-1990(Includes IEEE Std 1149.1a-1993), "IEEE Standard Test Access Port and Boundary-Scan Architecture", October 21, 1993