

6B-1

高性能なLSI開発における テスト容易化設計の一手法

小沢 明† 齊藤 一史† 木村 敬† 桑原 教雄† 嵯峨 幸治††

†北陸日本電気ソフトウェア(株) ††日本電気(株)

1. はじめに

近年のCMOSテクノロジーの進歩は目覚ましく、スーパーコンピュータや汎用大型コンピュータの領域においてもプロセッサの1チップ化が可能になってきた。反面、回路規模の増大や高速化の追及により、1チッププロセッサに代表されるような高性能LSIのテストは、益々その難度を増している。

本稿では、このような高性能LSI開発に対して、テスト容易化設計を効率良く実施する手法について報告する。

2. 課題

高性能LSIの開発においては、以下のような課題がある。

(1) 性能、収容性を優先させたテスト容易化設計

高性能LSIの開発では、性能や面積の制約により、フルスキャン設計に代表される完全なテスト容易化設計を施すことが困難である。そのため、論理設計時に、性能及び収容性とのバランスを考慮しながらテスト容易化設計を行う必要がある。

(2) 装置設計期間の短縮

従来のテスト容易化設計手法では、テスト容易化回路の組み込みをサブユニットレベルで行い、テスト容易性の測定をチップレベルで行っていた。しかし、テスト容易化設計の設計期間を短縮するためには、テスト容易化回路の組み込みからテスト容易性測定までのサイクルをサブユニットレベルに閉じて実施する必要がある。

(3) 故障検出率の高い機能パタンの作成が困難

故障検出率の高い機能パターンを作成することは、回路規模やパターン数の面から非常に困難である。従って、性能や収容性の問題で十分にテスト容易化設

計を施せず、ATG[1]だけでは十分な故障検出率が得られない場合に対し、ATGや機能パターン以外の他のテスト手法を考案し、論理設計時に故障検出率を確保しておく必要がある。

3. 提案するテスト容易化設計

図1に今回提案するサブユニットレベルのテスト容易化設計フローを示す。

本テスト容易化設計フローでは、論理回路設計及び、テスト容易化回路の組み込み作業により作成された論理回路に対し、タイミングと収容性の検証に加えて、新規にテスト容易性検証を実施する。その後、これらの検証の結果が希望する値になるまで、回路に対して修正を施す。

次に、本テスト容易化設計フローの特徴である機能スキャンパターンによるテストとサブユニットレベルで実現するテスト容易性検証について説明する。

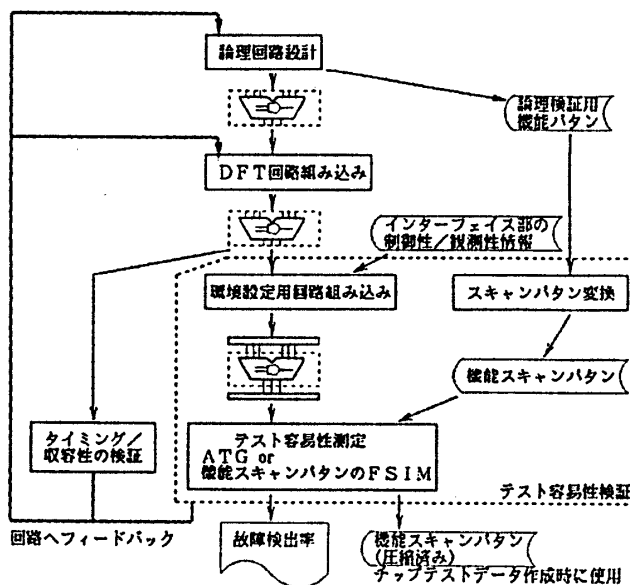


図1 サブユニットレベルのテスト容易化設計フロー

A Technique of Design for Testability on High Performance LSI Design.
Akira Kozawa*, Katsufumi Saito*, Takashi Kimura*, Norio Kuwahara*, Koji Saga**
*NEC Software Hokuriku **NEC Corporation

(1) 機能スキャンボタンによるテスト

演算器などタイミング制約が特に厳しい場合、十分なテスト容易化設計が施せず、ATGだけでは十分な故障検出率を確保できない場合がある。そこで、今回機能スキャンボタンによるテストを考案し、採用した。これは、サブユニットレベルの論理検証で用いた機能ボタンを、サブユニットの入力部に組み込んだスキャンレジスタより入力し、出力結果をサブユニットの出力部に組み込んだスキャンレジスタで観測し、テストを行うものである。本手法の効果としては、スキャンバスを利用したATGでのテストに比べて、テスト容易化回路が少ない点が挙げられる。実際に、スキャン化率（全F/FのうちスキャンF/Fが占める割合）が10%程度で、故障検出率95%以上を達成している。また、回路の初期設定をスキャンバスで一度に行うことができるため、機能ボタンの作成が容易な上、故障検出に寄与しないボタンを抜き取って、容易にボタンの圧縮を行うことができる。さらに、サブユニットの論理設計時に、テストデータの作成と故障検出率の保証を実施することができるため、チップのテストデータ作成期間の短縮が期待できる。

(2) サブユニットレベルのテスト容易性検証

チップレベルのテスト容易性検証でテスト容易化設計が不十分と判断された場合の後戻り工数を排除するためには、サブユニットレベルのテスト容易性検証の質をチップレベルのものに近付ける必要がある。そこで、サブユニットの論理回路に対し、インターフェイス部の制御性及び観測性に従い、チップに組み込んだ状態に近付けるための環境設定用回路を組み込む。次に、チップに組み込んだ状態に近付けたサブユニットの論理回路情報を用いて、テスト容易性検証を実施する。このテスト容易性検証では、バーチャルスキャンATGや、機能スキャンボタンの故障シミュレーション[1]を実施し、故障検出率を測定する。このフローにより、サブユニットの論理設計時にタイミングや面積のコストと、チップに組み込んだ状態のサブユニットのテスト容易性とで調整を図りながらテスト容易化設計を施すことがで

きる。従って、テスト容易化のための回路設計からテスト容易性検証までのサイクルがサブユニットレベルの設計で閉じるので、タイミング及び収容性と、テスト容易性とのトレードオフ調整が短期間に行える。さらに、チップのテスト容易化設計をサブユニット毎に独立して行えるため、各サブユニットのテスト容易化設計を並行して行えば、設計期間が大幅に短縮される。

4. 評価

表1に、本テスト容易化設計手法を実施した際のサブユニット設計時とチップのテストデータ作成時の故障検出率の差を示す。

評価した結果、サブユニット設計後、回路変更を行わなくても、サブユニット設計時にテスト容易性検証で確保した故障検出率を、チップテストデータ作成の際に再現させることができた。この結果は、本テスト容易化設計手法により、テスト設計を階層的に実施できることを示すものである。

サブユニット	回路特性	テスト手法	サブユニット設計時の故障検出率	チップテストデータ作成時の故障検出率
A	演算器	ATG	98.0%	97.5%
B	演算器	機能スキャンボタン	97.9%	96.8%
C	演算器	機能スキャンボタン	95.6%	95.3%
D	制御回路	ATG	99.8%	99.7%
チップ全体			97.1%	96.7%

※チップのスキャン化率は、66%。

表1 検証時とテストデータ作成時の故障検出率差

5. まとめ

LSIの回路規模の増大と高速化のトレンドに対し効率良くテスト設計を行うために、テスト容易化回路の設計と故障検出率を考慮したテストデータ作成をサブユニット毎に実施する手法を提案し、その有効性を確認した。

今後は、現状人手作業部分であるインターフェイス部の制御性/観測性情報の指定や、テスト容易性を回路にフィードバックする作業をできるだけ省く必要がある。また、環境設定用回路を、より実回路に近付けることも検討して行きたい。

6. 参考文献

[1]小沢、買手、木村、下野、高崎『EWS上の高性能テストDAシステムHIPER(2)』情報処理学会第47回全国大会