

1.2GFLOPSニューロチップ用S/Wシミュレータの開発

4B-7

牧田淳子 坪田浩乃 近藤由和 田村俊之 森 伯郎 久間和生

三菱電機（株） 半導体基礎研究所

1. はじめに

高性能ニューロプロセッサNEURO4システム(1)のソフトウェアシミュレータn4simを開発した。NEURO4は、ニューロアルゴリズムを高速に解くために開発され、12個の演算ユニットを有する最高性能1.2GFLOPSのSIMD型マイクロプロセッサである(2)。

本稿では、まず、NEURO4チップの概要について述べた後、ソフトウェアシミュレータn4simの構成、および高速化手法について報告する。

2. NEURO4チップ概要

NEURO4チップは、最高性能1.2GFLOPSのSIMD (Single Instruction stream Multiple Data stream) 方式のデジタルニューロプロセッサである。

NEURO4チップは、図1に示すように、全体の制御を行う制御ユニット (CU)、CUの制御に従って並列に浮動小数点演算を行う12個の演算ユニット (PU)、およびニューラルネットワークでよく使用される非線形変換関数の処理を高速に実行することができる非線形変換ユニット (NFU) から

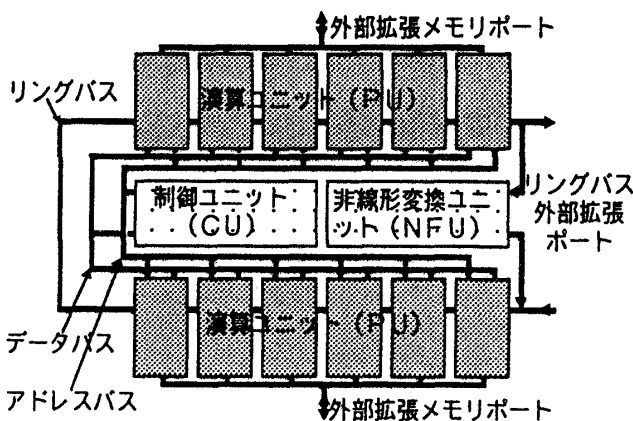


図1. NEURO4チップブロック構成図

構成される。各PUには各々1K語のローカルメモリ (LM)が接続されており各PUが独立にアクセスすることができる。また、PU間のデータ転送は、リングバスを介して行われる。

さらに、NEURO4チップはマイクロ命令方式を採用しているが、マイクロ命令メモリがRAMで構成されているので、アプリケーションに特化した命令セットを再定義することができる。

NEURO4チップは、リングバス外部拡張ポートを介して相互に接続することで"任意の規模"のマルチプロセッサシステムを構成することができる。全チップに同一のプログラムをロードすることで、チップ数の12倍の演算ユニットをもつ大規模な並列処理SIMDシステムを構成することができる。

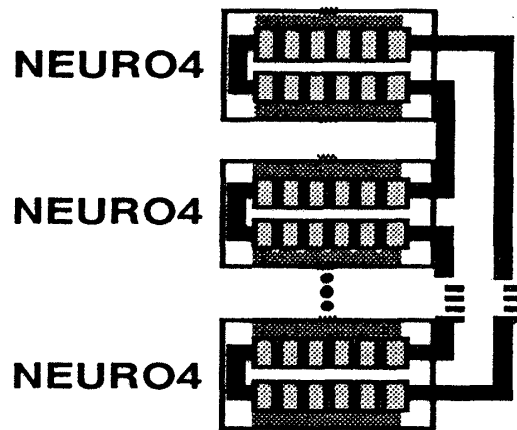


図2. リング拡張ポートによるマルチチップ接続

3. ソフトウェアシミュレータ n4sim

n4simは、以下の特徴をもつ。

- (1) クロックサイクル単位のシミュレーション
- (2) 任意の個数のマルチプロセッサシステムのシミュレーションが可能
- (3) NEURO4チップと同様にマイクロコードの変更が可能

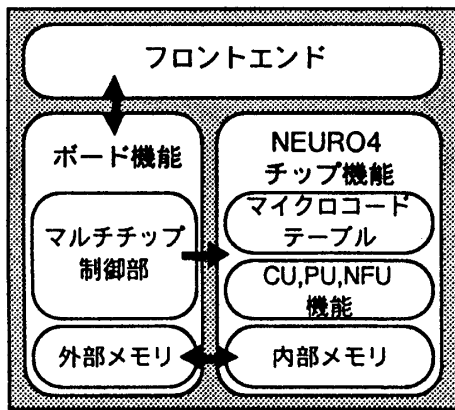


図3. NEURO4 シミュレータ機能図

3-1. シミュレータの構成

図3に示したように、本シミュレータはデバッガ等とのインタフェースを行うフロントエンド、チップの機能を実現するNEURO4チップ機能モジュール、チップの周辺回路の機能を実現するボード機能モジュールから構成されている。

マルチチップのシミュレーションは、マルチチップ制御部が、チップ数、チップ間の接続情報に基づいてNEURO4チップ機能モジュールを逐次コールすることで実現している。

また、書換え可能なマイクロコードをシミュレータ起動時にロードし、マイクロコードテーブル内に保持しNEURO4の命令の解釈に使用している。

3-2. シミュレータの高速化手法

大規模システムをEWS上でシミュレーションする場合、処理するデータ量が極めて多く、シミュレータが保持するデータ構造によっては、キャッシュミスや、メモリスワップが頻発し、速度が大きく低下するという可能性がある。

本シミュレータでは、このことを考慮し、使用頻度の高いローカルメモリ(LM)の配置を行った。

SIMD型プロセッサであるNEURO4では、12個の

1チップ実行		4チップ実行	
演算内容	ステップ数(step/sec)	演算内容	ステップ数(step/sec)
CU系演算	139865	CU系演算	35212
PU系演算	5376	PU系演算	1274
熱伝導方程式	26240	熱伝導方程式	6370

表1. シミュレータの速度評価結果

PUが各々に接続されたローカルメモリの同一アドレスをアクセスすることが多いことに着目した。

すなわち、ローカルメモリの実現法として、PUごとに独立してローカルメモリを配置せずに、アドレスごとにメモリ語を配置した。

これにより、4チップ構成程度の小規模なシステムで熱伝導方程式の求解プログラムを実行した場合で数%の高速化を実現した。システムがさらに大規模化するにしたがって、より大きな効果が期待される。

ソフトウェアシミュレータを用いて行った速度評価の結果を表1に示す。浮動小数点演算のみ(PU系演算)、CUのみを使う演算(CU系演算)、一般的なアプリケーションとして、科学技術計算(熱伝導方程式)についてそれぞれ単位秒当たりの実行ステップ数を求めた。1チップ構成時と4チップ構成時での評価結果をそれぞれ示してある。

最も処理に時間のかかるPU系の演算のみの場合でも、1チップ構成時には5000step/sec以上の実行が可能である。(速度評価にはSPARC station 10を使用)

4. まとめ

ニューロプロセッサNEURO4システムのソフトウェアシミュレータの構成、高速化手法について述べた。高速化のために、頻繁にアクセスするデータの配置を考慮した設計を行い、小規模なアプリケーションプログラムで数%の高速化が確認された。また、1秒間に5000ステップ以上をシミュレートできることを確認した。

また、マイクロコード変更に柔軟に対処可能な構成としたため、最適命令セット検討に役立つものとなった。

今後、さらに大規模な構成での評価、及び高速化の検討をすすめる。

謝辞 本研究をご指導、ご支援頂いた各位に厚く感謝致します。また、本研究の機会を与えていただいた三菱電機(株)半導体基礎研究所 阿部東彦所長に感謝いたします。

参考文献

- 1) "汎用ニューロボード", 三菱電機技報・Vol 69.No.1, pp32, 1995
- 2) Y.Kondo, "A 1.2GFLOPS Neural Network Chip Exhibiting Fast Convergence", ISSCC Digest of Technical Papers, Vol.37, pp.218-219, 1994.