

マイクロプロセッサ rj406 の実装*

1B-3

大林 雄次 五味 智 中川 圭介

電気通信大学情報工学科

rj406 は、小さな回路規模で高い処理能力を実現することを目指して設計と検証を進めている 32bit の RISC マイクロプロセッサである。現在までにアーキテクチャとその評価などに関する報告を行ってきたが、今回は rj406 を半導体 IC として実現するための論理設計や素子の配置決定、テストベクタに関して報告する。一般に集積回路の設計では回路の動作速度と製造に必要な半導体チップの面積が重要であり、回路が小さければ速度は上げ易く、チップ面積を削減すれば一般に製造コストが下げられる。rj406 の実装では回路の大半を占める演算処理回路の設計の見直しを図り、続いて回路素子の配置を最適化することによって面積の削減を行なった。なお、rj406 の実装は ES2 社 (European Silicon Structures, Ltd) の Solo 1400 システム上で行ない、製造プロセスは 1.2 μ CMOS である。

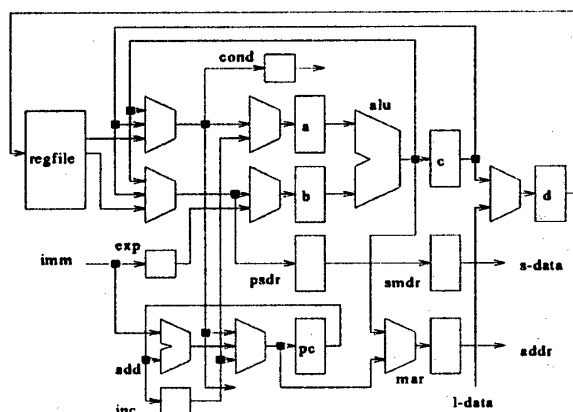


図 1: Dpath の主要構成

1 rj406 の概要

rj406 は 32bit ロード・ストアアーキテクチャを採用し、パイプラインは IF、ID、EX、MM、WB の 5 段である。汎用レジスタの数は 32、分岐命令はレジスタの値の零/非零、負/非負で分岐する。分岐とロードには 1 命令の遅延がある。乗除算や浮動小数点演算は外部で行なう。例外要因は外部割り込み、割り込み命令、未定義命令と特権違反があるが、これらは同一の番地 (0x08) を呼び出す。ソフトウェア例外の発生時には次の IF を無効にし、外部割り込みの場合は次の ID の命令を廃棄してこれらの命令の番地を戻り番地として格納する。なお、MM の動作に対して例外処理を行なう場合は別系統の外部割り込みを使用する。

2 論理設計

rj406 の回路は主に演算処理回路 (Dpath) と制御回路 (Control) から構成されており、その他にはチップの外部とのインターフェイスなどの回路がある。回路全体は多くが Dpath に占められており、Control は回路的には 2 割程度でしかない。Dpath の主な構成は図 1 のようになっている。Dpath の論理設計では、システムでライブラリとして準備されている複合ゲートを積極的に導入した。現在用いているシステムでの最大入力数は AND と NAND は 4、OR と NOR は 3 であり、複合ゲートは AND-NOR と OR-NAND で 2 ワイド 3 入力までである。複合ゲート

の導入はセレクタやレジスタ、ALU において特に有効であった。なお、レジスタファイルは RAM を 2 組使用し、2 倍クロックにより 1 サイクルに read と write の 2 回の動作を行なうようにして実現した。

2.1 算術論理演算回路

alu 内部の加減算と論理演算、比較を行なう回路で、主に 8 個の 4bit 基本演算回路とキャリー回路によって構成されている。基本演算回路の入力部分は通常 a_n と b_n または a_n と b_n の積和を求めるゲートが規則正しく並んでいるが、rj406 の演算回路ではこの部分の論理を調整して 2 ワイド 3 入力の AND-NOR と OR-NAND に置き換えた。この他に内部キャリーの一部にも複合ゲートを導入し、4bit 基本演算回路の全体を 183 ステージで実現できた。なお、複合ゲートを用いない場合は 213 ステージ必要である。

2.2 シフト回路

シフト回路はセレクタを用いて 0...32bit の双方向シフトを実現するが、構成工夫すると 2 入力のセレクタだけで構成できる。NAND を 3 個用いて 2 入力セレクタを構成すると 1bit 当たり 9 ステージ必要であるが、NOT と AND-NOR を用いれば 7、出力を負論理とすれば 5 となる。実際の回路では負論理のセレクタを用いて $+2^n$ bit または -2^n bit シフトする回路を作成し、これを 6 段重ねて 32bit の双方向シフトを実現している。但し初段のみシフト無しか -1bit シフトかを選択する。

Implementation of microprocessor rj406
Yuuji OHBAYASHI, Satoshi GOMI, Keisuke NAKGAWA
University of Electro-Communications

3 素子の配置決定

論理設計の次に、半導体チップ上での各素子の配置を決定する。一般にマイクロプロセッサのような回路では全体が特定の機能を持った複数のブロックで構成されており、素子の配置を決定する場合にはまずこのブロックを単位とし、各ブロックの間の配線数を利用して比較的容易に一次配置を決定することが出来る。

rj406 では、まずブロック単位で一次配置の決定を行ない、次にシステム上で実際に配線を行ない必要なチップ面積を求めた。現在使用しているシステムでは全体の列数 (number of columns)、行数 (rows per column)、トランジスタ列の長さ (stages per row、=列の幅) を操作して配置を行なうが、その部分に必要な配線の本数によってトランジスタ領域の間隔が変化するために注意が必要である。配置の最適化はまず初めに最も適当と思われる列数と列ごとの幅を決定し、次に列の上端の未使用領域が最小になるような列ごとの行数の割当を決める。素子は一次元的に行に割り当てられるため、この並び順を操作して配線領域の少ない配置を探してゆく。列の高さに差が出た場合は行数の割当を変更する。チップの回路領域における行や列、配線領域などの関係は次のようである。

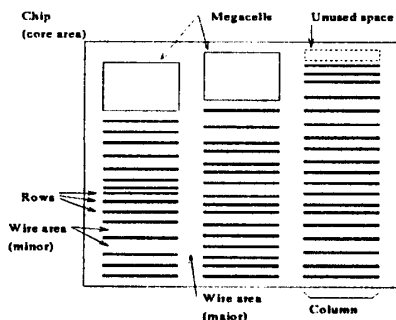


図 2: チップの回路領域

配置の最適化はまずブロック単位に行ない、その後ブロック内部や隣接するブロックにおいてゲート単位で行なった。最適化の効果は次のようである。表 1 の auto は

	auto	semi	block	gate
回路領域面積	36.34	31.73	29.12	28.19
配線領域	29.3	24.7	22.1	21.2
チップ総面積	55.20	49.26	46.01	44.81

表 1: 最適化とチップ面積

回路領域面積は配線領域を含み、チップ総面積は回路領域面積を含む。

全てシステムが決定したパラメータを使用し、semi では行と列の値のみ与えた。block ではこれに加えてブロック単位で最適化を行ない、gate ではさらに一部でゲート単位の最適化を行なった。このような階層的な最適化により、十数回程度の試行回数でシステムによる自動配置を利用した場合に比べて 16.8% のチップ面積削減が可能であった。なお、表 2 では semi 以降は同じであるため一括して manu としている。

	col.1	col.2	col.3	col.4	col.5
auto	1.37	0.60	0.60	0.75	0.71
(rows)	17+2R	31	31	33	33
manu	1.31	1.31	1.31	-	-
(rows)	25+R	23+R	28	-	-

表 2: 配置パラメータ

2 段目と 4 段目は各列の幅 (mm)、3 段目と 5 段目は行数。R は RAM を示す。

4 入出力信号

rj406 の端子総数は 100 本あり、その内訳はアドレスバス 32、データバス 32、制御出力 10、割り込み 3、リセット 1、コプロセッサ入力 2、その他入力 3、電源 8、グランド 9 となっている。コプロセッサ関係は分岐用の CPCOND と処理待ち用の CPBUSY、割り込みは通常の IREQ のほかコプロセッサ用の FIREQ とマスク不可能な NMI がある。NMI は FIREQ と同じ動作であるため例外処理にはコプロセッサが必要であるが、復帰不要であれば単独で使用できる。

5 テストベクトル

制御構造が簡素であるため、テストに必要なベクタも小数で済む。回路の全ての信号線が制御できるかを確認するトグル率テストでは、回路の各部に L と H を設定すれば大半のゲートの出力は変化し、最小化はしていないものの 41bit780step で 100% となった。次の回路機能の検証では演算回路などの機能の確認を慎重に行なうため個数が必要であるが、Dpath の他の部分は殆んどレジスタやセレクタであり構成も簡単のため、少ないデータで機能が確認できる。このため機能確認は合計 1800step とした。チップの動作試験では内部信号が観測できないため手数が増えるが、これも 6300step 程度としている。

参考文献

- [1] "Solo 1400 Reference Manual", European Silicon Structures Ltd.
- [2] 清藤ほか, "マイクロプロセッサ rj406", 情報処理学会第 46 回全国大会講演論文集, 6-9, 1993.
- [3] 青柳ほか, "マイクロプロセッサ rj406 のアーキテクチャと評価", 情報処理学会第 47 回全国大会講演論文集, 6-5, 1993.