

抵抗分を含む負荷を駆動する CMOS 論理回路の ゲート 遅延時間計算手法

平田 昭夫[†] 近藤 友一^{†,☆}
小野寺 秀俊^{††} 田丸 啓吉^{††}

本稿では CRC π 型負荷を駆動する CMOS 論理ゲートのゲート遅延時間計算手法について述べる。この手法ではまずそれぞれの論理ゲートの直流特性や交流特性からいくつかの特徴的なパラメータを抽出する。これらのパラメータを用いて、異なる電源電圧を含むさまざまな動作条件でゲート遅延時間の計算をすることができる。このモデルの誤差は、我々の行った実験では平均 3% 程度、最大 11% だった。回路シミュレーションを行う手法に比べ、約 1000 倍高速に計算できる。

A Timing Model for CMOS Logic Gates Driving a Capacitive-resistive Load

AKIO HIRATA,[†] TOMOKAZU KONDO,^{††,☆} HIDETOSHI ONODERA^{†††}
and KEIKICHI TAMARU^{†††}

We present a gate delay model of CMOS logic gates driving a CRC π load for deep sub-micron technology. we extract some parameters featuring DC- and AC-characteristic of each gate beforehand. These parameters can be used for the calculation of gate delay under various operating conditions including different supply voltages. The average error is 3% and maximum error is less than 11% in our experiments. Our method calculate the gate delay about 1000 times faster than circuit simulator.

1. はじめに

現在市場にはパソコンはもちろん、移動体電話、車載ナビゲータ、ビデオ、ゲーム機器など多くの電子機器が出回っているが、そのほとんどに LSI が搭載されている。これらの多くの電子機器にはその機器に応じた特定用途向けの LSI が搭載されている。この特定用途向けの LSI を ASIC (Application Specific Integrated Circuit) と呼び、LSI 市場の多くを占めている。近年の携帯型電子機器の普及にともない、バッテリーを長持ちさせるために LSI をより低消費電力化する必要が生じており、ASIC 設計においてもできる限り低消費電力で設計できることへの要求が増してきた。

消費電力を下げるには電源電圧を下げるのが有効である。これは、LSI の消費電力 P が $P = fCV^2$ (f は動作周波数、 C は総負荷容量、 V は電源電圧) で表され、電源電圧の低減により電力が 2 乗に比例して削減されるからである。よって、ASIC 設計においても電源電圧を変化させて回路速度や消費電力の検証できることが望まれる。また、設計回路の動作速度を見積もるために、その回路の最大パス遅延を正確に求めることは LSI の設計において大変重要である。小さな規模の回路では回路シミュレータを用いることでこれを求めることができるが、大きな回路では計算時間や占有するメモリ量が膨大になり計算不可能である。そのため高速でより正確な最大パス遅延計算手法の開発は大変重要である。また、近年製造プロセスの微細化にともないゲート間の配線の幅も小さくなっており、配線の抵抗が増大している。ゲート遅延時間を見積もるうえで配線の抵抗分が与える影響を無視できなくなっている。よって近年の ASIC 設計においては、配線抵抗を考慮するとともに、電源電圧などのパラメータを柔軟に変化させて検証できる手法が重要となる。

[†] 京都大学工学研究科
Graduate School of Engineering, Kyoto University

^{††} 京都大学工学部
Faculty of Engineering, Kyoto University

[☆] 現在、NEC アイシーマイコンシステム
Presently with NEC IC Microcomputer System, Ltd.

^{†††} 京都大学情報学研究科
Graduate School of Informatics, Kyoto University

最大パス遅延を求めるとき、ゲート遅延時間と配線遅延時間に分けて計算する手法が一般に用いられている。ゲート遅延時間の計算においては、配線をゲートの出力端においてアドミタンスが等価な簡単な回路に置き換える手法が用いられる。このような等価回路として、CRC π 型負荷が正確なモデルであることが知られている¹⁾。従来の論理合成や検証を行うCADツールではゲート遅延時間を入力波形の遷移時間と出力負荷容量をパラメータとする2次元のルックアップテーブルを用いる手法を行っていた。この手法をCRC π 型の負荷に適用する場合、4次元のテーブルが必要となり、キャラクタライゼーション（セルの特性をあらかじめ抽出しておく作業）に必要な時間とデータ量が大幅に増加する。また、CRCの負荷を等価容量で表す手法が提案されている²⁾。この手法ではゲートの等価抵抗とその抵抗を駆動する電圧源の波形を表す2次元のテーブルをあらかじめ計算しておく必要がある。ただしこの手法では電源電圧や温度などを変化させたときに再キャラクタライズが必要である。

我々は主に解析式を用いる高速で、電源電圧などのパラメータの変化に柔軟に対応可能なゲート遅延時間計算手法を提案する。本手法は以下の手順からなる。

- 複雑な構造のセルを等価なインバータ回路に置き換える。
- CRC π 型負荷を駆動する等価インバータの出力波形を解析式から計算する。

図1にこのタイミングモデルを用いる際の模式図を示す。あらかじめセルを等価なインバータ回路に置き換えた際のパラメータ群を計算し、ライブラリとして持っておく。実際のタイミング計算においてはAWEなどの手法を用いて配線をCRC π 型回路に置き換える。各セルの等価インバータに置き換えたときのパラメータとCRC π 型負荷のパラメータなどから解析式により遅延時間を求める。解析式を用いることにより、電源電圧を変えての検証などにも柔軟に対応できる。

本稿ではまず複雑な構造のセルを正確な等価インバータ回路に置き換える手法を示し、次にこの等価インバータ回路においてCRC π 型負荷を駆動する場合の出力波形の導出手法を示す。等価インバータへの置き換えにおいては従来MOSFETモデルとして用いられていた桜井の n 乗則モデルを改良し、電流特性をより正確に表せるようにした。我々は文献6)でCRC π 型負荷を駆動するCMOSインバータ回路の出力波形を導出する方法を提案しており、等価インバータの出力波形の導出においても同様の手法を用いることが可能である。この手法で用いた近似について解説

キャラクタライゼーション プロセス

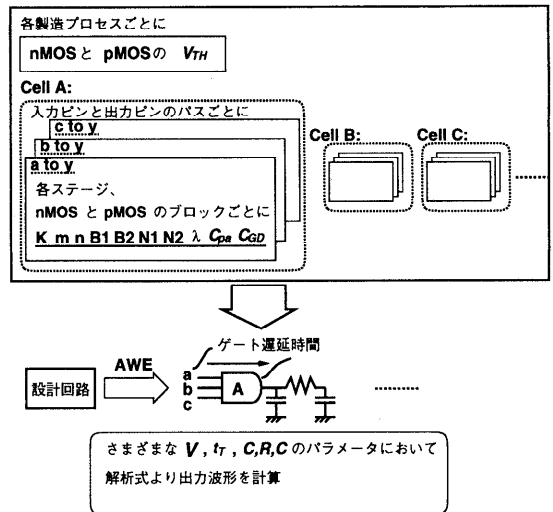


図1 提案するタイミングモデルの模式図
Fig.1 Overview of the gate delay calculation.

する。

以下の章では上記それぞれの手順について従来手法の問題点と我々が改良した手法を示す。

2. CMOS セルの等価インバータへの置き換え

等価インバータへの置き換え手法は以下の2手順からなる。

- pMOSFET からなるブロックと nMOSFET からなるブロックをそれぞれ直流電流電圧特性が等しい MOSFET に置き換える。
- 接合容量などの寄生容量を等価容量として出力端に括り出す。

異なる入力ピンの遷移ごとに等価 MOSFET への置き換えを行う。

手法の概要を図2に示す。

2.1 直流特性が等価な MOSFET への置き換え

Sakuraiら³⁾は n 乗則 MOSFET モデルを用いて直列につながった MOSFET 群を等価な1つの MOSFET に置き換える手法を提案した。この手法は直列 MOSFET 群を流れる電流が入力ゲート電圧の n 乗に比例するとき有効である。図3、図4は4入力 NAND ゲートなどで現れる4つの nMOSFET が直列につながった回路に流れる電流特性を示したものである。図3ではゼロから電源電圧まで変化する入力電圧が一番上の MOSFET のゲートに加わっており、他の MOSFET のゲート電圧は V_{DD} のままである。同様に、図4では入力電圧が一番下の MOSFET のゲー

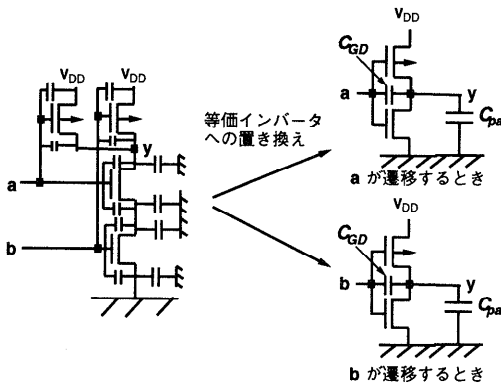


図2 等価インバータ回路への置き換え

Fig.2 Replacing a stage to an equivalent inverter gate.

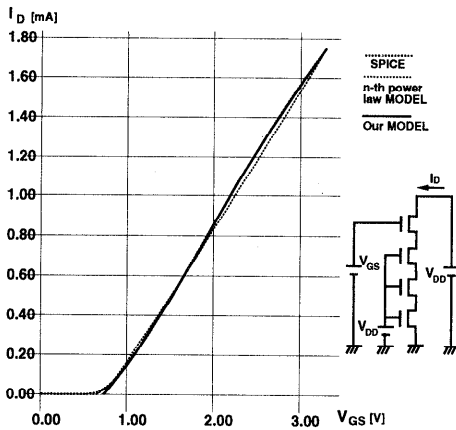


図3 4直列nMOSFETの電流電圧特性：最もGNDから遠いMOSFETに inputs が加わった場合

Fig.3 I-V characteristics of series connected MOSFETs with an input voltage (V_{GS}) applied to the top of the MOSFETs.

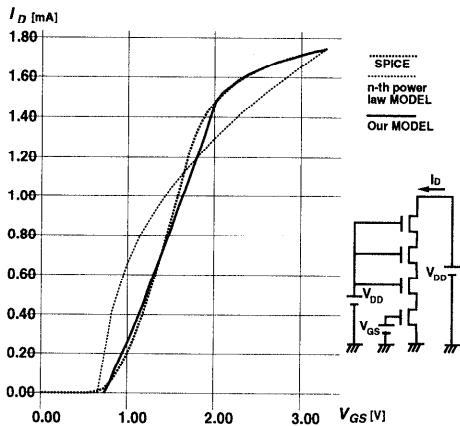


図4 4直列nMOSFETの電流電圧特性：最もGNDに近いMOSFETに inputs が加わった場合

Fig.4 I-V characteristics of series connected MOSFETs with an input voltage (V_{GS}) applied to the bottom of the MOSFETs.

トに加わっている。前者の例では電流は入力電圧に対してほぼ線形に増加している。この場合は n 乗則モデルはその電流特性を正確に表すことができる。しかし後者の例では入力電圧が低い領域においては入力電圧の増加にともなって電流が急激に増加するが、入力電圧が高い領域では飽和する。これはゲート電圧の変化する MOSFET がはじめは飽和領域で動作するが、後半は線形領域で動作することによって起きる。このような例では従来の n 乗則モデルでは特性を正確に表すことができない。

本稿では入力電圧が低い領域と高い領域で別の式で表すモデルを提案する。また、前述のモデルはキャラクタライズを行った電源電圧での特性しか表せなかったが、電源電圧もパラメータとして含む以下の式に拡張を行った。式を以下に示す。

$$\begin{aligned}
 V_{DSAT} &= K \left(\frac{V_{GS} - V_{TH}}{V_{DD} - V_{TH}} \right)^m \\
 I_{DSAT} &= (V_{DD} - V_{TH})^n \\
 I_{DS} &\times \begin{cases} b1 \left(\frac{V_{GS} - V_{TH}}{V_{DD} - V_{TH}} \right)^{N1} & : V_{TH} \leq V_{GS} \leq V_{TH2}, \\ b1 \left(\frac{V_{GS} - V_{TH}}{V_{DD} - V_{TH}} \right)^{N1} - b2 \left(\frac{V_{GS} - V_{TH2}}{V_{DD} - V_{TH}} \right)^{N2} & : V_{TH2} \leq V_{GS} \leq V_{DD}, \end{cases}
 \end{aligned} \tag{1}$$

$$\begin{aligned}
 I_{DS} &= I_{D5} = I_{DSAT}(1 + \lambda V_{DS}) \\
 &: V_{DS} \geq V_{DSAT} \\
 I_{DS} &= I_{D5} \left(2 - \frac{V_{DS}}{V_{DSAT}} \right) \frac{V_{DS}}{V_{DSAT}} \\
 &: V_{DS} < V_{DSAT}
 \end{aligned}$$

ここで、 K , m , n , λ , V_{TH} , $b1$, $b2$, $N1$, $N2$, V_{TH2} はモデルパラメータである。図3, 図4に示すようにこの新しいモデルではさまざまな入力状態に対して電流電圧特性をより正確に表せる。 V_{TH} はゼロバイアス時の閾値電圧である。これは製造プロセスごとに一意に決まるパラメータである。 K , m , n , λ , $b1$, $b2$, $N1$, $N2$, V_{TH2} は各セルの各入力ピンの状態ごとに決まる。

各パラメータの計算方法を以下に示す。 V_{TH2} は電流波形が飽和し始める電圧であるが、ここでは閾値電圧 V_{TH} と電源電圧 V_{DD} の中間電圧とした。電圧 $v1$, $v3$ をそれぞれ V_{TH} と V_{TH2} の中間電圧, V_{TH2} と V_{DD} の中間電圧とする。電流 $i1$, $i2$, $i3$, $i4$ をそれぞれ入力電圧が $v1$, $v2 (= V_{TH2})$, $v3$, $v4 (= V_{DD})$ のときに流れるドレイン電流とする。実測または回路シミュレーションの直流解析より求められるこれらのパラメータから、モデルパラメータ $b1$, $N1$, $b2$, $N2$

は以下の式で計算される。

$$N1 = \frac{\log\left(\frac{i2}{i1}\right)}{\log\left(\frac{v2 - V_{TH}}{v1 - V_{TH}}\right)}, \quad (2)$$

$$b1 = \frac{i1(v4 - V_{TH})^{N1-n}}{(v1 - V_{TH})^{N1}(1 + \lambda v4)}, \quad (3)$$

$$N2 = \frac{\log\left(\frac{i4'}{i3'}\right)}{\log\left(\frac{v4 - v2}{v3 - v2}\right)}, \quad (4)$$

$$b2 = \frac{i3'(v4 - V_{TH})^{N2-n}}{(v3 - v2)^{N2}(1 + \lambda v4)}, \quad (5)$$

ここで

$$i3' = b1(1 + \lambda v4)(v4 - V_{TH})^{n-N1}(v3 - V_{TH})^{N1} - i3, \quad (6)$$

$$i4' = b1(1 + \lambda v4)(v4 - V_{TH})^n - i4. \quad (7)$$

である。パラメータ n は電源電圧が変化したとき流れる電流が電源電圧の n 乗に比例することを表すパラメータであり、

$$n = \frac{\log\left(\frac{i4}{i5}\right)}{\log\left(\frac{v4 - V_{TH}}{v5 - V_{TH}}\right)}, \quad (8)$$

より計算される。 $i5$ は $v4$ と異なる電源電圧 $v5$ をすべての MOSFET のゲート端子と直列接続 MOSFET の出力端に加えたときに流れる電流である。

2.2 等価容量の計算

MOSFET にはゲート-チャネル間の容量や、ドレインやソースの接合容量などの寄生容量が存在する。等価インバータ回路への置き換えの際、図 2 の入力と出力端の間につながる等価的なゲート容量 C_{GD} と等価インバータ回路の出力端につながる等価寄生容量 C_{pa} を計算する必要がある。

入力電圧が遷移中、オフからオンになる MOSFET が飽和領域で動作し、オンからオフになる MOSFET が線形領域で動作すると近似して C_{GD} を以下の式で計算する。

$$C_{GD} = CGDO_p + CGDO_n + \frac{1}{2}CG_p \quad (9)$$

ここで $CGDO$ はゲートのオーバーラップ容量、 CG はゲート-チャネル間の容量である。

等価寄生容量を解析的に計算する手法として、過去にいくつかの方法が提案されている^{4),5)}。本稿ではより正確に等価寄生容量を求める手法として、まず回路シミュレーションを用いて入力遷移時間や出力負荷がある典型的な値において遅延時間を計算しておき、そ

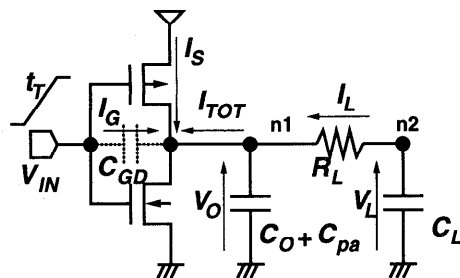


図5 CRC π 型負荷を駆動するインバータ回路
Fig. 5 An equivalent inverter circuit driving a CRC π load.

の遅延時間と解析式により計算した値が等しくなるように C_{pa} の値を一意に定めるという手法を用いた。

2.3 等価インバータの出力波形の導出

著者らはこれまでに、入力に直線的に有限の時間で遷移する波形が加わり、出力に CRC π 型負荷がつながるインバータ回路において出力波形の導出を行っている⁶⁾。この手法を等価インバータ回路に拡張して用いる。手法の概略を説明する。図 5 にモデル回路を示す。この出力波形の導出においては、入力波形が遷移中の時間の解析が重要である。波形が遷移後は貫通電流が流れず、MOSFET を等価な抵抗と考えることにより容易に解析できる。それに反して入力遷移中は時間 t と出力電圧 V_O に強く依存する貫通電流の項を考慮しなければならず、厳密に微分方程式を解いて出力波形を解析的に導くことは不可能である。入力波形が立ち上がる場合を仮定すると、入力波形が遷移中の図 5 の回路を表す微分方程式は以下の式で表される。

$$-C_O \frac{dV_O}{dt} + I_L + I_S + I_G = (1 + \lambda_n V_O) I_D(t) \quad (10)$$

$$I_L = -C_L \frac{dV_L}{dt}, \quad (11)$$

$$I_L = \frac{V_L - V_O}{R_L}, \quad (12)$$

$$I_G = C_{GD} \frac{d(s_r t - V_O)}{dt}, \quad (13)$$

$$I_D(t) = \begin{cases} B1(s_r t - V_{TH})^{N1} & : \nu_n t t \leq t \leq \nu_{2n} t T, \\ B1(s_r t - V_{TH})^{N1} - B2(s_r t - V_{TH2})^{N2} & : \nu_{2n} t T \leq t \leq t_T, \end{cases} \quad (14)$$

ここで、 $s_r \equiv V_{DD}/t_T$ 、 $\nu_n = V_{THn}/V_{DD}$ 、 $\nu_{2n} = V_{TH2n}/V_{DD}$ 、 $B1 = (V_{DD} - V_{THn})^{n-N1} b1$ 、 $B2 = (V_{DD} - V_{THn})^{n-N2} b2$ である。添字の n と p はそれぞれそのパラメータが nMOSFET, pMOSFET のも

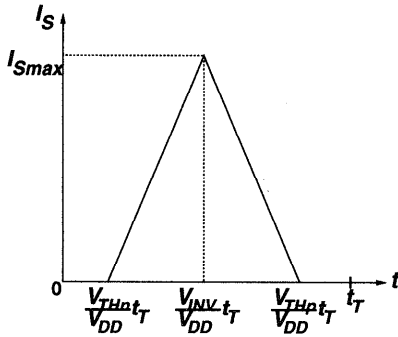


図 6 貫通電流の近似波形

Fig. 6 A short-circuit current waveform assumed in our method.

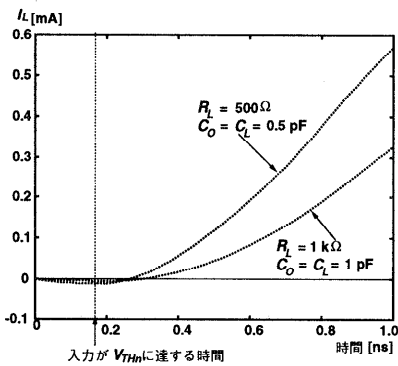


図 7 電流 I_L の波形：回路シミュレーションより

Fig. 7 Waveforms of the current I_L obtained by circuit simulation.

のであることを表す。 I_S は貫通電流， I_L は負荷の抵抗を流れる電流， I_G は入出力端間を流れる電流， I_D は nMOSFET を通って負荷の電荷を放電する電流である。

ここで，回路シミュレーションを行っての各電流項の調査より，以下の近似を用いた。

- (1) 貫通電流 I_S を図 6 に示す区分的線形波形で表す。

我々はいくつかの条件について回路シミュレーションにより I_S の波形を求めた結果，入力電圧が論理閾値電圧に達する付近の時間で最大値をとる山形波形になることを見いだした。これにより上記の近似を導入した。

- (2) I_L を時間に対する線形項と未知関数 α の積 ($I_L = \alpha \cdot (t - \nu_n t_T)$: $\nu = V_{THn}/V_{DD}$) で表す。

同様にいくつかの条件について回路シミュレーションにより I_L の波形を求めた結果， I_L は入力波形が遷移中，入力電圧が nMOSFET の閾

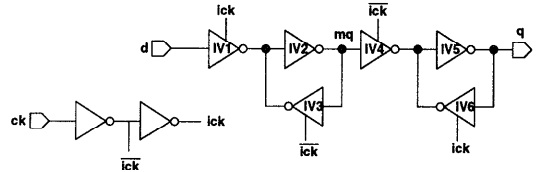


図 8 立ち下がりエッジトリガ DFF の構造

Fig. 8 A falling edge triggered DFF.

値電圧 V_{THn} を過ぎてからはほぼ線形に増加することを見いだした (図 7 参照)。これにより上記の近似を導入した。

これらの近似を用いることにより，出力波形を導出することができる。導出の詳細は文献 6) を参照していただきたい。

なお，導出した入力波形が遷移中の出力電圧式において，CRC π 型負荷は以下の式で表される容量がなくなっている場合と等価的に表されている。

$$C_{eff} = \frac{(t - \nu_n t_T)(C'_O + C_L) + 2R_L C_L C'_O}{(t - \nu_n t_T) + 2R_L C_L} \quad (15)$$

ここで $C'_O = C_O + C_{GD} + C_{pa}$ である。 C_{eff} は CRC π 型負荷のパラメータと入力波形の遷移時間に依存することが分かる。

導出した出力電圧式より等価インバータのゲート遅延時間を求めるものとする。

3. DFF への適用法

ここでは，DFF などのフィードバックループの存在する回路における等価インバータ導出法について考察する。図 8 の立ち下がりエッジトリガ DFF について，等価インバータへの置き換え法を考える。はじめ入力 d の状態が High level (以下 H) かつ内部ノード mq は H，出力 q は Low level (以下 L) とする。クロックが立ち下がり，出力が立ち上がる時の ck から q までの遅延時間の導出法を考える。このとき内部ノードの初期状態より，IV4 の pMOS ブロックと，IV6 の nMOS ブロックは初めから不導通である (図 9)。よって，IV4 の nMOS ブロックと，IV6 の pMOS ブロックをそれぞれ縮約して 1 つの MOSFET に置き換え，インバータ列に置き換えることで遅延時間を求められる。

4. 評価

0.5 μm の製造プロセスを想定し，回路シミュレータとの比較により本手法の評価を行った。図 10 に CMOS インバータの出力波形を解析式より計算した

ものと SPICE シミュレータより計算したものととの比較を示す。入力波形の遷移時間は 2 ns, $C_O = 0.167$ pF, $C_L = 0.833$ pF である。 $R_L = 0, 500, 1500 \Omega$ と 3 つのパラメータで計算した。解析式より計算した出力波形は、インバータ回路において SPICE シミュレーションに近い波形であることが分かる。

図 11 に従来の n 乗則モデルを用いて 4 入力 NAND の遅延時間を計算した場合と、我々が改良を加えた MOSFET モデルを用いて計算した場合の、回路シ

ミュレーションより求めた値との比較を示す。それぞれ、 $C_L = 0.05$ pF, $t_T = 0.5$ ns においてゲート遅延時間が一致するように等価寄生容量 C_{pa} の値を決めた。従来のモデルを用いたものでは、入力波形の遷移時間が大きくなったときに誤差が大きくなる。改良した MOSFET モデルを用いたものでは誤差は小さいことが分かる。

また、図 12 に電源電圧を変化させたときの 4 入力 NAND ゲートのゲート遅延時間を示す。我々のタイ

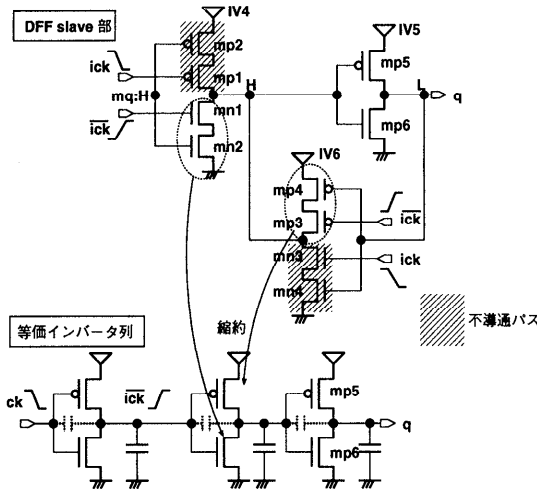


図 9 出力が立ち上がる場合の DFF の遅延時間の導出

Fig. 9 The method of replacing a DFF to an equivalent inverter chain for the propagation delay estimation from the clock input "ck" to the output "q".

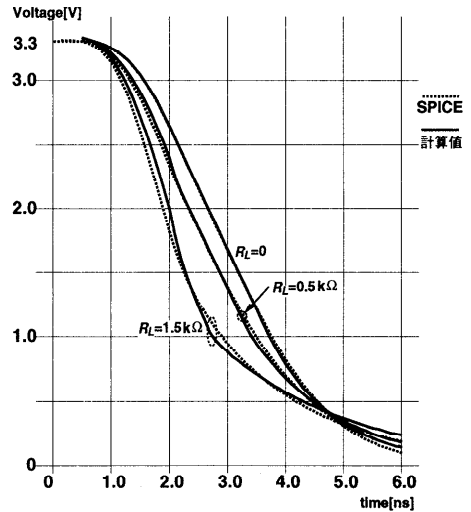
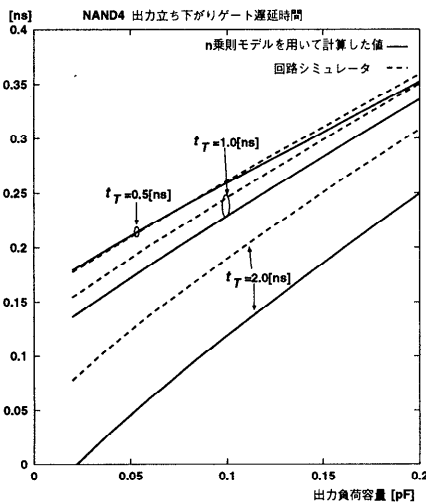
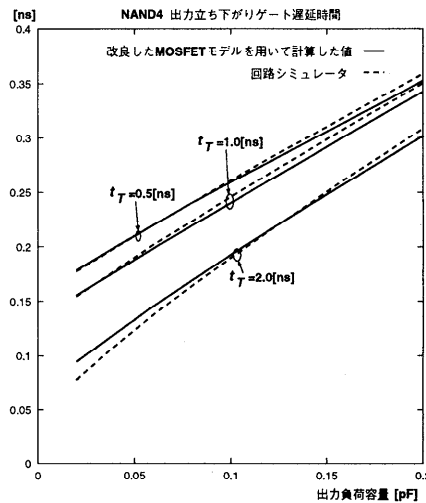


図 10 解析式より計算した出力波形

Fig. 10 Output waveforms of a CMOS inverter driving a CRCπ load.



(a) n 乗則モデルを用いて計算した遅延時間



(b) 改良したモデルを用いて計算した遅延時間

図 11 4 入力 NAND で最も GND に近い nMOSFET の入力端子に立ち上がり波形が加わった場合の遅延時間の比較

Fig. 11 Comparison of the gate delay of a 4 input NAND gate.

ミングモデルでは、図 1 に示す一連のパラメータを抽出することにより電源電圧を広範囲に変化させてゲート遅延時間を計算できる。

電源電圧 3.3V において、表 1 に示す様々なパラメータに変化させたときの、解析式より計算したゲート遅延時間の最大誤差と平均誤差を表 2 に示す。誤差は平均 3%程度、最大 11%以下である。誤差はゲートのステージ数が 2 以上のときに大きくなる。この理由

としては、内部端子の波形を直線的な波形に近似していることが考えられる。本稿で提案したタイミングモデルをなまっただけの場合に拡張することが今後の課題である。表 3 に SPICE 回路シミュレータと我々のタイミングモデルのゲート遅延時間を計算する時間の比較を示す。提案するタイミングモデルは SPICE に比べて約 1000 倍高速にゲート遅延時間と出力遷移時間を求めることができる。

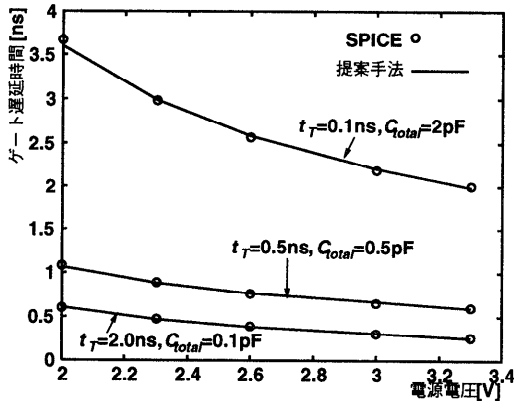


図 12 4 入力 NAND ゲートで電源電圧を変化させたときの遅延時間

Fig. 12 The gate delay of a 4 input NAND gate in various supply voltage ($R_L = 0$).

表 1 誤差の検証に用いたパラメータ

Table 1 Parameters used for the evaluation.

| parameter | values |
|-------------|------------------------------|
| t_T | 0.1, 0.2, 0.5, 1.0, 2.0 [ns] |
| C_{total} | 0.1, 0.2, 0.5, 1.0, 2.0 [pF] |
| R_L | 1, 48, 240, 480 [Ω] |

$$C_O = \frac{1}{8} C_{total} \text{ and } C_L = \frac{5}{8} C_{total}.$$

5. まとめ

本稿において各セルをあらかじめ等価なインバータ列に置き換えておき、解析的にゲート遅延時間を求める手法により CRC π 型負荷のつながる CMOS ゲートの遅延時間を高速に求める手法を提案した。より正確な等価インバータ列への置き換えを行うために、直列につながる MOSFET 群の直流特性を正確に表すための電流電圧式を改良した。我々の手法は従来の回路シミュレーションを行う手法に比べ、平均 3%程度の誤差で約 1000 倍高速にゲート遅延時間を求めることができる。また、電源電圧を連続的に変化させてゲート遅延時間を求めることができ、電源電圧を下げて消費電力と回路速度を最適化するアルゴリズムに用いる

表 3 SPICE と我々のタイミングモデルのゲート遅延計算時間の比較

Table 3 Comparison of CPU time for calculating the gate delay and the output transition time under 100 patterns of skew and loading conditions.

| Cell | No. of MOSs | SPICE [sec] | Proposed method [sec] | Ratio |
|------|-------------|-------------|-----------------------|-------------------|
| INV | 2 | 57 | 0.06 | 9.4×10^2 |
| DFE | 24 | 290 | 0.21 | 1.4×10^3 |

表 2 さまざまなゲートにおける我々のタイミングモデルの SPICE との誤差

Table 2 The error of our gate delay model in several gates.

| Gate name | Ave. error | Max. error | Ave. error | Max. error |
|----------------------|------------|------------|------------|------------|
| | rise [%] | rise [%] | fall [%] | fall [%] |
| Single stage cells | | | | |
| INV | 1.0 | 4.0 | 1.1 | 5.3 |
| NAND4 | 1.0 | 5.1 | 2.7 | 8.3 |
| NOR4 | 1.3 | 7.0 | 2.4 | 7.4 |
| AOI21 | 0.9 | 4.0 | 1.3 | 5.5 |
| AOI22 | 1.1 | 4.0 | 1.6 | 7.2 |
| OAI21 | 1.1 | 4.8 | 1.2 | 7.9 |
| OAI22 | 0.7 | 4.4 | 0.9 | 4.4 |
| Multiple stage cells | | | | |
| BUF | 3.3 | 9.8 | 3.1 | 9.1 |
| AND4 | 3.2 | 10.3 | 1.9 | 8.6 |
| OR4 | 2.2 | 7.7 | 4.4 | 9.1 |
| DFE | 2.7 | 4.9 | 2.6 | 5.2 |

ことができる。

謝辞 本研究の一部は(株)半導体理工学研究センターとの共同研究による。

参考文献

- 1) O'Brien, P.R. and Savarino, T.L.: Modeling the Driving-Point Characteristic of Resistive Interconnect for Accurate Delay Estimation, *IEEE International Conference on Computer-Aided Design*, pp.512-515 (1989).
- 2) Dartu, F., Menezes, N., Qian, J. and Pillage, L.T.: A Gate-Delay Model for High-Speed CMOS Circuits, *ACM/IEEE Design Automation Conference*, pp.576-580 (1994).
- 3) Sakurai, T.: Delay analysis of series-connected MOSFET circuits, *IEEE Jour. Solid-State Circuits*, Vol.SC-26, No.2, pp.122-131 (1991).
- 4) Chen, H.Y. and Dutta, S.: A Timing Model for Static CMOS Gates, *IEEE International Conference on Computer-Aided Design*, pp.72-75 (1989).
- 5) Nabavi-Lishi, A. and Rumin, N.C.: Inverter Models of CMOS Gates for Supply Current and Delay Evaluation, *IEEE Trans. Computer-Aided Design*, pp.1271-1279 (1994).
- 6) Hirata, A., Onodera, H. and Tamaru, K.: Analytical Formulas of Output Waveform and Short-Circuit Power Dissipation for Static CMOS Gates Driving a CRC π Load, *IEICE Trans. Fundamentals of Electronics*, Vol.E81-A, No.3, pp.462-469 (1998).
- 7) Hirata, A., Onodera, H. and Tamaru, K.: Estimation of Short-Circuit Power Dissipation and its Influence on Propagation Delay for Static CMOS Gates, *IEEE International Symposium on Circuit and Systems*, Vol.4, pp.751-754 (1996).

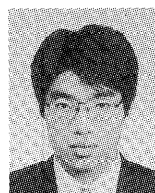
(平成10年9月18日受付)

(平成11年2月8日採録)



平田 昭夫

平成6年京都大学工学部電子工学科卒業。平成11年3月同大学院博士課程(電子通信工学専攻)修了見込。LSIの設計手法, LSI用CADの研究に従事。平成10年度日本学術振興会特別研究員。電子情報通信学会, IEEE各会員。



近藤 友一

平成10年京都大学工学部電子工学科卒業。同年NECアイシーマイコンシステムに入社。北海道LSI開発センター勤務。大学ではLSI用CADの研究に従事。現在はLSIの設計に携わる。



小野寺秀俊(正会員)

昭和53年京都大学工学部電子工学科卒業。昭和58年同大学院博士課程(電子工学専攻)修了。同年同大学工学部電子工学科助手。現在, 同大学院情報学研究科通信情報システム専攻助教授。LSIの設計手法, LSI用CAD, MOSアナログ回路の研究に従事。工学博士。昭和59年度丹羽記念賞受賞。電子情報通信学会, IEEE各会員。



田丸 啓吉(正会員)

昭和33年京都大学工学部電子工学科卒業。昭和35年同大学院修士課程(電子工学専攻)修了。同年(株)東芝に入社。総合研究所勤務。昭和54年京都大学工学部教授。現在, 同大学院情報学研究科通信情報システム教授。この間, マイクロコンピュータのアーキテクチャ, LSIの設計手法, LSI用CAD等の研究に従事。工学博士。著書「ハードウェア技術」(オーム社), 「論理回路の基礎」(工学図書), 「マイクロコンピュータ入門」(日刊工業, 共著)等。電気学会, 電子情報通信学会, ACM, IEEE各会員。