

VHDL の設計エンジニアリングへの適用 (2)

4D-10 - プログラマブル・ロジック・コントローラ - *

滝鼻 容子 佐野 直樹 久保 典夫†

横河電機（株）EDA 開発センター‡

1. はじめに

プログラマブル・ロジック・コントローラ (PLC) は代表的なシーケンス制御システムの1つである。近年、PLC は大規模化かつ複雑化し、その設計エンジニアリングの効率向上が強く望まれている。

今回、ハードウェア記述言語 VHDL に基づくテスト、デバッグ手法 [1][2] を PLC エンジニアリング手法に適用したので報告する。

本手法は特定の PLC システムベンダに依存せず、共通なエンジニアリングデータベースとエンジニアリング環境を提供し、コンカレントなテスト、デバッグを可能にするものである。本手法により、実システムを構築する前に、対象システムの機能検証を汎用ワークステーション（以下 WS とする）上で効率よく行なうことができる。本手法を実験システムに適用し、その有用性を確認した。

本稿では、本手法の開発の狙い、VHDL 設計エンジニアリング環境、実験システム適用事例等についてのべる。

2. 開発の狙い

本エンジニアリング手法の開発の狙いは次の通りである。

(1) 共通なエンジニアリング・データベースの構築
->VHDL による PLC モデル設計、テストプログラム設計。

(2) 共通なエンジニアリング環境の提供
->汎用 WS 上の VHDL シミュレータ上に構築。

(3) コンカレントなテスト、デバッグの実現
以上の狙いにより PLC システムのエンジニアリング効率を向上させることが本エンジニアリング手法の目的である。

3. VHDL-PLC 設計エンジニアリング環境

図1に本エンジニアリング環境を示す。従来の PLC シーケンスプログラム設計では、ラダー図などを用いてシーケンス回路設計を行ない、PLC システムベンダが提供するプログラムエントリーツールを用いて回路エントリを行なうとそのシーケンス回路はベンダ固有のニーモニック (PLC の機械語) に変換される。

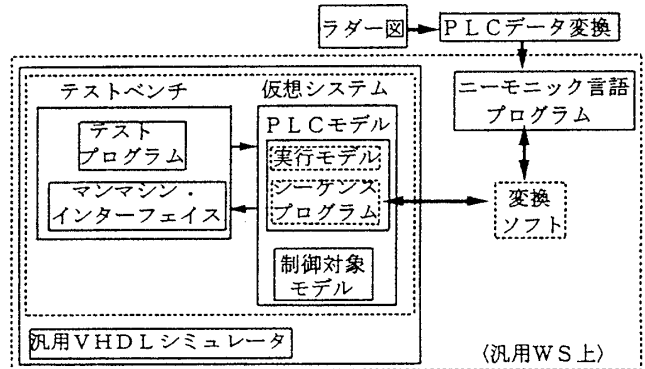


図1: VHDL-PLC エンジニアリング環境

本環境は、従来の設計フローに加えて、ベンダ固有のニーモニックを VHDL シーケンスプログラムに変換、また VHDL シーケンスプログラムをベンダ固有のニーモニックに逆変換する変換ソフト、汎用 WS 上に搭載された VHDL シミュレータ上に構築した仮想システムとテストベンチとから構成される。

仮想システムは、PLC モデルと制御対象モデルからなる。PLC モデルには PLC の実行モデルと VHDL シーケンスプログラムが含まれる。制御対象モデルは、実際の制御対象となるシステムの機能及び動作タイミング等を VHDL で記述したものである。

図2にテストプログラムによる検証環境を示す。

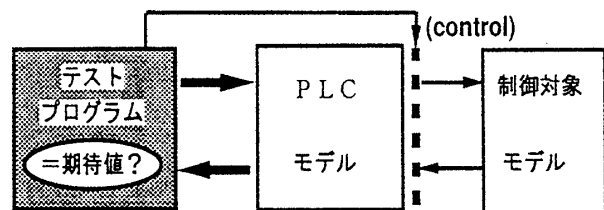


図2: テストプログラムによる検証環境

テストプログラムは仮想システムを検証するもので、仮想システムに対して各種条件を与え、その条件下で予め求められている期待値とシステムからの出力値とを照合する。その結果が不一致の時はシミュレーションを一旦停止させてデバッグモードへ入る。デバッグには VHDL シミュレータのもつマンマシン・インターフェイ

*Application of VHDL to Design Engineering(2)
-Programmable Logic Controller-

†Yoko Takihana, Naoki Sano, Norio Kubo

‡EDA Development Center, Yokogawa Electric Corporation

スを利用する。ここではテストプログラムは、検証項目毎にサブテストプログラムとしてVHDLで記述されており、また制御対象モデルの切り離し、付加をコントロールして単体テスト、総合テストを行なう。

本環境では、実システムに対応するPLCモデル、制御対象モデル、シーケンスプログラムの検証用のテストプログラムを予めファイルとして記述し、これらを汎用のVHDLシミュレータにとりこみ汎用WS上で検証を行なう。デバッグ後のVHDLシーケンスプログラムは前述の変換ソフトによってベンダ固有ニーモニックへ逆変換される。

4. 実験システム適用事例

本エンジニアリング手法を実験システムとして1階と2階との間で物を運搬するリフトの制御のシステムに適用し、その有用性を確認した。以下、この適用事例について紹介する。(図3、4、5、6参照)

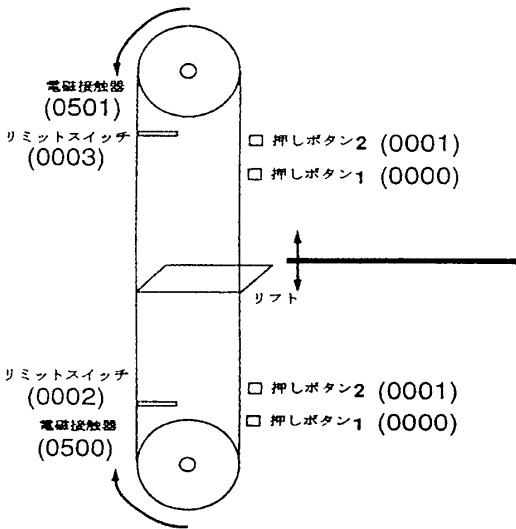


図3: 運搬リフト構成

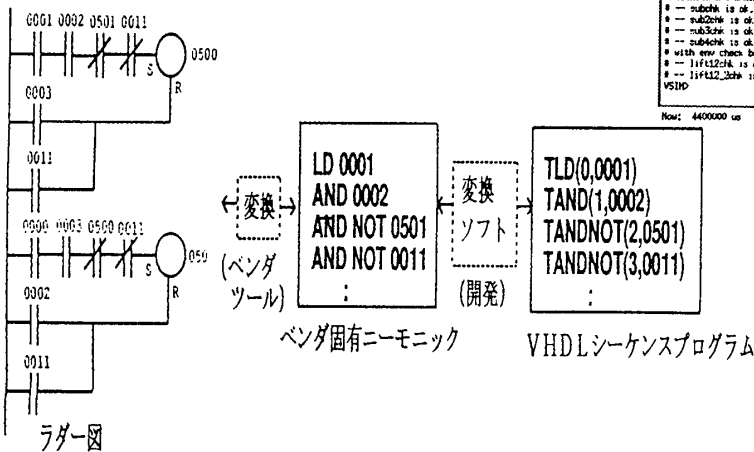


図4: エンジニアリング・データベースの互換図

5. まとめ

VHDLによるPLC設計エンジニアリング手法及びその実システムへの適用事例について紹介した。本手法は、VHDLに基づく共通のエンジニアリング・データベース、エンジニアリング環境を用いて、実システムを構築する前に汎用WS上でシーケンスプログラムの検証を可能とする。本手法は、複雑化しつつあるPLCエンジニアリングの効率向上に有効な手法であると思われる。

参考文献

- [1] 佐野、久保: "ハードウェア記述言語(HDL)のシステム設計エンジニアリングへの適用"、情報処理学会第47回全国大会、1Q-8、(1993-10)
- [2] 佐野、滝鼻、久保: "VHDLの設計エンジニアリングへの適用(1)-プロセス制御システム-"、情報処理学会第49回全国大会、4D-9、(1994-9)

```

begin
  withflag<='0'; - 制御対象モデルなし
  subchk;
  sub2chk;
  :
  withflag<='1'; - 制御対象モデル付き
  lift2chk;
  :
  LDchk(1,1);
  ANDchk(2,1,2);
  ANDNOTchk(3,2,3);
  :
  p1_2;
  !1:for i in 1 to 20 loop
  cyc;
  end loop !1;
  assert(!s2.data = '1')
  report "error:p1_2" severity error;
  :
  
```

図5: VHDL テストプログラム

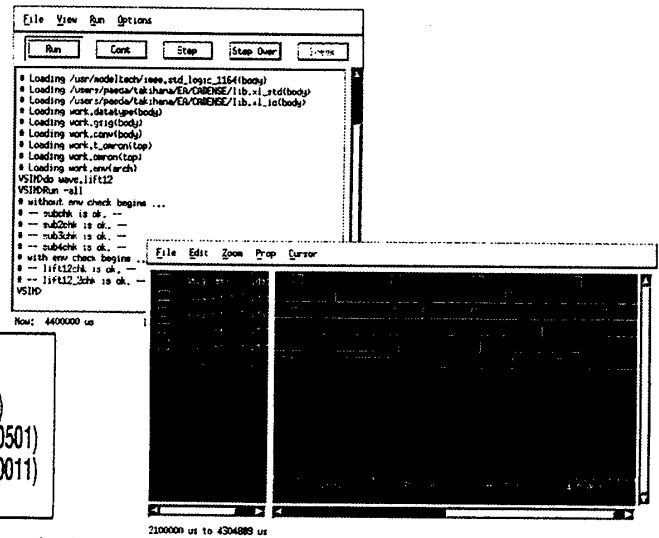


図6: シミュレーション画面