

VHDL の設計エンジニアリングへの適用（1）
 - プロセス制御システム -

4D-9

佐野直樹 滝鼻容子 久保典夫
 横河電機（株） EDA開発センター

1. はじめに

プロセス制御システムは代表的な制御システムの1つである。近年、プロセス制御システムは大規模化かつ複雑化し、その設計エンジニアリングの効率向上が強く望まれている。

我々は、その設計エンジニアリング手法の1つとしてハードウェア記述言語Verilog-HDLに基づく設計・テスト・デバッグ手法を提案した[1]。今回、その設計エンジニアリング手法としてハードウェア記述言語VHDLに基づくものを開発したので報告する。

本手法は特定のシステムベンダに依存せず、共通なエンジニアリング・データベースとエンジニアリング環境を提供し、コンカレントな設計、テスト、デバックを可能にするものである。本手法により、実システムを構築する前に対象システムの機能検証を汎用ワークステーション上で効率よく行うことができる。本手法を簡易プロセスモデルを含む実験システムに適用し、その有用性を確認した。

本稿では、VHDL設計エンジニアリング手法の開発の狙い、VHDL設計エンジニアリング環境、実験システム適用事例等について述べる。

2. VHDL設計エンジニアリング手法の開発の狙い

本エンジニアリング手法の開発の狙いは次の通りである。

- ①共通なエンジニアリング・データベースの構築
 →VHDLによるシステムの機能設計並びにテストプログラム設計
- ②共通なエンジニアリング環境の提供
 →汎用ワークステーション上のVHDLシミュレータ上に構築
- ③コンカレントな設計、テスト、デバックの実現

以上の狙いにより対象システムのエンジニアリング効率を向上させることが本手法の目的である。

3. VHDL設計エンジニアリング環境

図1に本エンジニアリング手法を用いた設計エンジニアリング環境を示す。本エンジニアリング環境は、汎用ワークステーションに搭載されたVHDLシミュレータ上に構築され、仮想システムとテストベンチから構成される。

制御システムモデルは、実際の制御システムの機能及び動作タイミング等をVHDLで記述したものである。フィードバック制御内部計器モデル、シーケンステーブルを主体としたシーケンス制御機能モデル等が含まれる。制御対象モデルは、制御対象となるシステムの機能及び動作タイミングをVHDLないしC言語等で記述したものである。

テストプログラムは、仮想システムを検証するためのもので、検証項目毎にサブテストプログラムとしてVHDLで記述されている。

マンマシン・インタフェースは、主としてデバック時に、波形表示、インタラクティブなコマンドの発行、システム変数の表示、変更、修正等に用いられる。

VHDLシミュレータは、シミュレーション起動時に制御システムモデル、制御対象モデル、テストプログラムを取り込み、制御システムモデルと制御対象モデルより構成された仮想システムをテストプログラムにより検証するためのシミュレーションを実行する。

具体的には、テストプログラムによりまず制御対象モデルを制御システムモデルから切り離した状態での検証、次に接続した状態での検証を行う。各々の場合における検証環境をそれぞれ図2、図3に示す。

図2では、テストプログラムにより制御システム

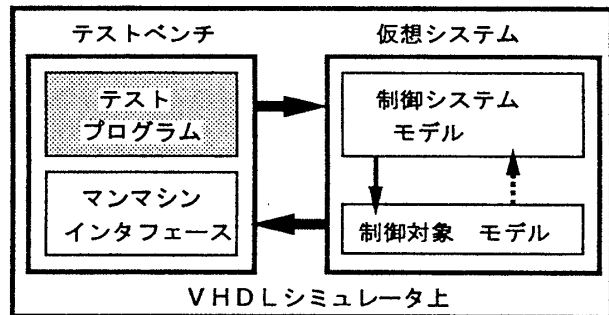


図1 VHDL設計エンジニアリング環境

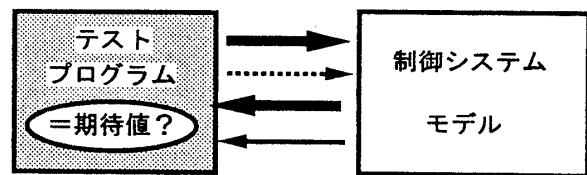


図2 制御対象モデルを切り離した状態でのテストプログラムによる検証環境

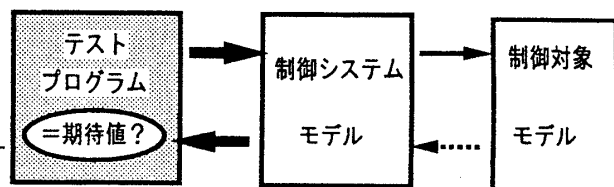


図3 制御対象モデルを接続した状態でのテストプログラムによる検証環境

モデル単体としての機能検証を行う。ここでは、テストプログラムは、制御システムモデルに対して各種入力条件や設定条件に含めて制御対象モデルからの出力も簡易的に与え、次に制御システムモデルからの制御出力並びに制御システムモデルの内部状態を予め求められているそれぞれの期待値と照合する。その結果、両者の値が一致していれば正常のメッセージを表示し、次のサブテストプログラムを実行し、不一致であればエラーのメッセージを表示し、シミュレーションを一旦停止させる。マンマシン・インタフェースを利用し、エラー要因の解析を行う。

図3では、テストプログラムにより、制御対象モデルを含めた仮想システム全体としての総合的機能検証を図2におけるものと同様な手順で行う。

4. 実験システム適用事例

本エンジニアリング手法を実験システムとして抄紙機制御におけるJ/W（ジェット/ワイヤ速度比）制御システムに適用し、その有用性を確認した。以下、この適用事例について紹介する。

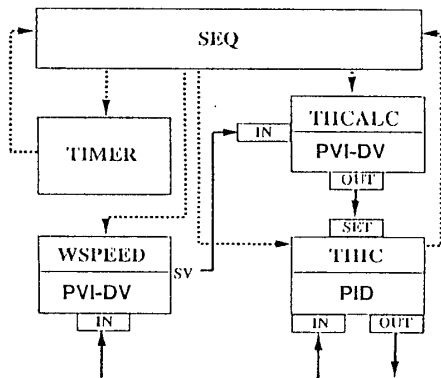


図4 J/W制御システム主要構成図

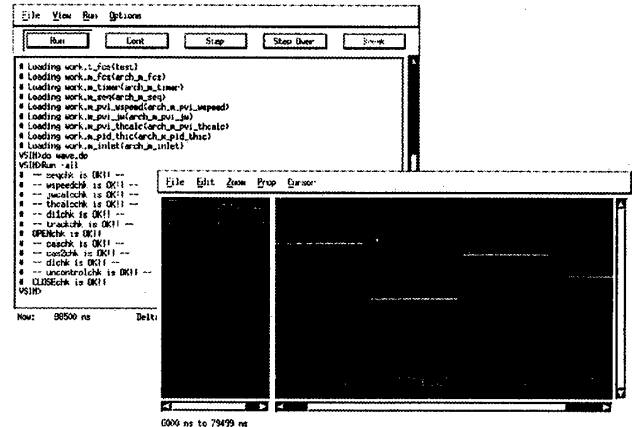


図5 VHDLによるシミュレーション画面

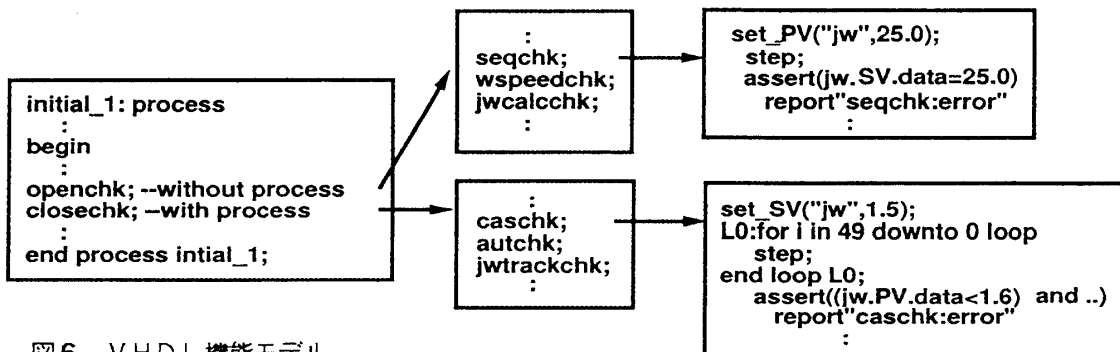


図6 VHDL機能モデル

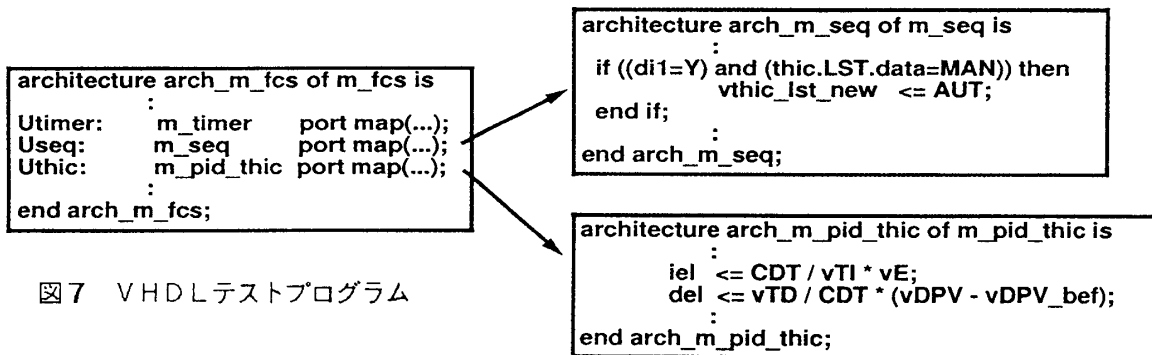


図7 VHDLテストプログラム

5. まとめ

VHDL設計エンジニアリング手法及びそのプロセス制御システムへの適用事例について紹介した。本エンジニアリング手法は、VHDLに基づく共通なエンジニアリング・データベースとエンジニアリング環境の構築を可能とするものであり、一般の設計エンジニアリングにおいても有効な手法であると考えられる。

<参考文献>

- [1] 佐野、久保：“ハードウェア記述言語（HDL）のシステム設計エンジニアリングへの適用”、情報処理学会第47回全国大会、1Q-8、(1993-10)