

複数ボード間のスキャンテストシステム

7L-7

土屋英紀 内藤亮司 内堀郁夫 長部均

株式会社 東芝 情報・通信システム技術研究所

1.はじめに

近年の計算機システムは、機能・性能の高度化に伴って、実装密度はより高く、ボード上のパターンもいっそう複雑化している。このため、ボードのパターン切れやショート、コネクタの不良などの、初期故障に対する不良箇所の特定が難しくなっている。特に制御分野で使用されるシステムでは、きめ細かなサポートが要求されるので、故障解析の難しさは、そのまま製品のコストアップにつながる。そこで、ボードの故障箇所を効率的に見つける手段として、バウンダリスキャンが注目される。本論では、高度産業用コンピュータVL2000シリーズで採用している、バウンダリスキャンを応用したテストシステムについて紹介する。

2.ボード間スキャンテストの実現

スキャンテストに関しては、最近では市販の技術も増えてきているが、その多くは単一のボード内でIC間でのパターン切れを検出することを前提にしており、ボード間のパターンショートをチェックすることはできない。今回採用した方法は、バックプレーンに接続されたボード間のテストも可能とするもので、バックプレーンまでの接続パターン、バックプレーン内のパターンやコネクタも含めた、システム全体をテストすることができる。また、スキャンテスト機能自体を計算機システムの中に取り込んでおり、モデムやイーサネットを介して実行することも考慮しているので、リモート保守用の回線を利用すれば、オンサイトでの適用も可能である。

現在、ボード間のスキャンテストの規格もできつつあるが、それぞれのASICを独立にテストする方式を応用することで、これに先駆けて

実用化することができた。今回適用した製品では、200ピンの微細ピッチ（0.635mmピッチ）コネクタを多数採用しているため、組立後のコネクタの破損や接触不良も検出可能な、ボード間スキャンテストは大変有効であった。

3.ハードウェア構成

今回の適用例では、図1に示すように、システムコントロールユニット基板上的スキャンコントローラから、IEEE1149.1標準スキャンバス（JTAG）準拠のスキャン専用バスを介して、各ボード上のASICをアクセスすることにより、スキャンテストを行う。テストデータイン/テストデータアウト信号は、それぞれのASICに並列につながっている。JTAGの一般的な構成では、それぞれのASICを直列につなぐが、この方式には、すべてのボードを実装しないとテストができないという問題点がある。実際のシステムでは、プロセッサボードの枚数などの機器構成は、

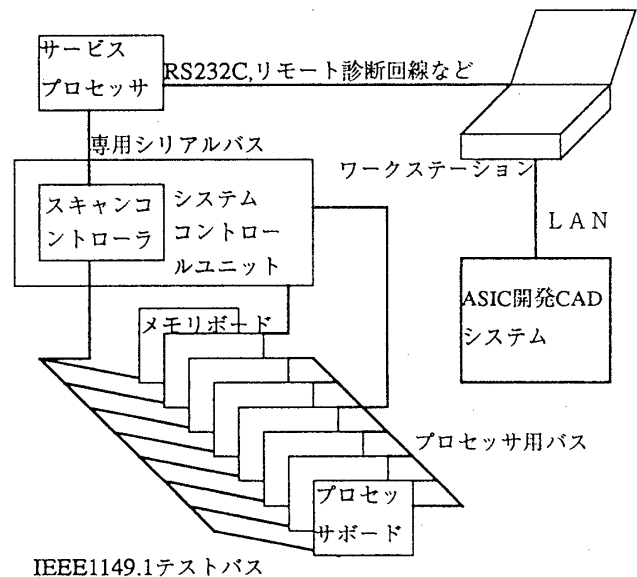


図1. ハードウェア構成図

A Scan Test System method for Multi Board.

HIDEKI Tsuchiya, RYOUJI Naitoh, IKUO Uchihori, HITOSHI Osabe

TOSHIBA Corporation

システムによって異なっており、必ずしもすべてのボードが実装されているわけではない。このため今回の適用では、スキャン信号をASICと並列につなぐことにより、一部のボードだけを実装した状態でも、テストを可能とした。また、この構成ならば、一部のASICが実装されていない状態でもテストが可能なので、開発初期の段階や、製造途上での適用も可能となる。この構成はJTAGの拡張であるが、一般的なJTAGの構成に比べて、ソフトウェアの処理が単純になる利点もある。スキャンコントローラは、サービスプロセッサから独自のシリアルバスを経由してアクセスされる。このシリアルバスは、本来RAS機能強化のために設けられたものであり、サービスプロセッサから、種々のハードウェア情報を知るためのものである。このサービスプロセッサは、RS-232Cで接続したワークステーションからも制御できるので、実際のテストはワークステーション上から行う。開発環境としては、このワークステーションを、ASIC開発CADシステムとLANで接続し、ハードウェアの設計データを、そのままスキャンテストに反映できるように構成している。

4. テストデータの生成

テストデータは、図2のように、ハードウェア設計データを利用して、完全にオンラインで生成できる環境を構築した。ASICのネットとそのピン番号・信号名の対応表から、ピン番号とバウンダリセル番号の対応表を作る。この対応表と、各ボードのネット（バックプレーンも含む）から、テストデータを作成する。テストデータの生成は自動化しているため、新製品やリニューアル、あるいは機器構成の異なるシステムにも、迅速に対応することができる。

5. 故障検出対象と効果

スキャンテスト自体は、バイナリサーチを応用したアルゴリズムを適用しており、特にコネクタのピン間ショート、コネクタとASIC間の断線、およびバックプレーンの信号線断線の故障の検出が可能となった。図3にエラー出力例を示す。

6. おわりに

ボード間スキャンテストの実現により、ボード自体の故障だけでなく、バックプレーンやコネクタの故障、あるいは接触不良をも発見することが可能になった。製品を組立後、事前に初期不良を見つけることが出来るので、製品の品質向上に大きく貢献している。今後は、操作性の向上や故障箇所のビジュアル化、あるいは他製品への適用と標準化も進めていく予定である。

<参考文献>

情報処理学会第40回全国大会講演論文集
産業用コンピュータにおける高速・高密度実装基板のテスト容易化技術
(株)東芝 小室 浩、金城 守茂、漆畑 幸雄、青柳 恵三

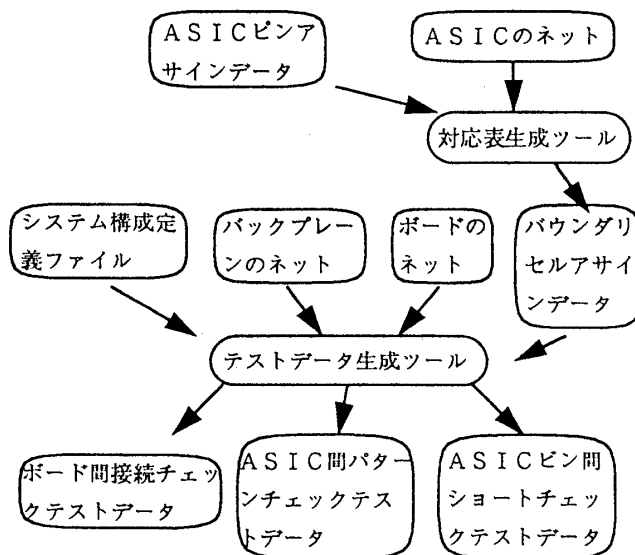


図2. テストデータの関係

期待値:1 観測値:0 SCU/ACSL_L-292[YCAZ1(O)]出力1->SCU/CDCL_7-107[YXAZ9(I)](165)
 期待値:1 観測値:0 SCU/ACSL_L-292[YCAZ1(O)]出力1->SCU/ACSL_L-292[YCAZ1(O)](402)
 期待値:1 観測値:0 SCU/ACSL_L-292[YCAZ1(O)]出力1->SCU/CDCL_M-107[YXAZ9(I)](165)
 期待値:1 観測値:0 SCU/ACSL_L-292[YCAZ1(O)]出力1->SCU/CDCL_0-107[YXAZ9(I)](165)

図3. エラー時の出力例