

## デジタル/アナログ波形表示ツール (CEEDS-GT) の開発 (1)

6L-5

## -システム概要\*

天野 祐治      水田 裕子      小笠原 敦      佐野 直樹      久保 典夫†

横河電機(株) EDA 開発センター†

## 1 はじめに

ASIC の開発に代表されるように、近年、いわゆる“仮想環境”でのプロトタイプングの重要性が広く認識されてきている。この手法は、モデリング及びそのシミュレーションを行なう事の特徴とするが、その範囲は、ターゲット単体から、システムレベルまで広がってきている。これに伴い、その出力結果をグラフィカルにデジタル量、アナログ量をも同時に表示するツールが必要となつてきている。また、複数の出力結果をグラフィカルに表示し、視覚的に比較検証する事も望まれている。今回、我々は、設計効率の向上を目的にデジタル/アナログ波形表示ツール (CEEDS-GT) を開発し、本ツールを実チップの開発に適用し、その有用性を確認した。[1] ここでは、主として本CEEDS-GT のシステム概要を紹介する。

## 2 ツール開発の背景と狙い

シミュレータ、またはパッケージソフトを使ってシミュレーションを行なう場合、データの表示は、付属しているデータ表示ツールを使用すればよい。しかし、例えばC言語等でアプリケーションを自作する場合や、シミュレータ付属のデータ表示ツールでは機能が不十分な場合には、新たにデータ表示ツールを自作する必要がある。

我々は、ハードウェア記述言語 (Verilog-HDL)、汎用論理シミュレータ、論理合成ツールを用いて、 $\Sigma \Delta$ 変換器、デジタルフィルタを内蔵するASICを開発した。その汎用論理シミュレータのデータ表示ツールでは、デジタルフィルタの出力等は、いわゆるバス値として表現されてしまい、現象の直観的な理解が困難であった。そこで、データをアナログ量として表示する事ができ、

このチップの仕様検証、論理検証が効率良く行なえるツール、即ちCEEDS-GTのプロトタイプを同様に開発した。A/D D/Aを扱うASICの開発、汎用論理シミュレータを使った抽象度の高いシミュレーション等では、現象を直観的に理解するためには、データをアナログ的に階長表現するツールが必要である。

設計支援ツールとして、このツールに求められる項目を以下に示す。

- アプリケーションとリンクでき、リアルタイムにデータを表示できる事。  
データの表示は、予め表示可能範囲を指定する“プロット”形式ではなく、データのトレンドに従い表示範囲がスクロールしていく“レコーダ”形式が望ましい。
- 一つのグラフ内に、複数のデータを表示できる事。  
デジタルデータと異なり、複数のアナログデータを時系列で比較するためには、同一のグラフにそれらのデータを表示する必要がある。
- 一つのツール内に、複数のグラフを持てる事。  
一つのグラフには、フルスケールの近いデータしか表示できない。また、デジタル/アナログが混在するアプリケーションでは、それぞれ、別々に表示する必要がある。これらの理由のため、一つのツール内で、複数のグラフが表示できる必要がある。
- 複数の出力結果の合成ツールとしての役割。  
複数の時系列の異なるシミュレーションの結果を比較する場合 (例えば、C言語のプログラムで規範値を作成し、汎用論理シミュレータとの値を比較する場合) は、同一のグラフにこれらの値を表示する事によりのみ視覚的に結果を認識できる。
- グラフの表示形式が固定でない事  
データの合成等を、実現するためには同一の表示データを、例えば線色、線径などを変えて再表示したり、グラフの、縦軸、横軸のスパンを変え再表示できる機能が必要である。

\*Development of Digital/Analog Graphical Display Tool(CEEDS-GT) -System Summary-

†Yuji Amano, Yuko Mizuta, Atsushi Ogasawara, Naoki Sano, Norio Kubo

†EDA Development Center Yokogawa Electric Corporation

### 3 CEEDS-GT の特長

CEEDS-GT は、デジタル、アナログ対応の高機能グラフィカルツールである。C 言語、Verilog-XL<sup>1</sup>相当とのI/Fを持ち、これらのユーザプログラムとは、直接リンクが可能である。また、生成方法に関わらず、データが、ごく一般的なレコード形式でファイルに記述されてさえいれば、波形表示することができる。[2] プラットフォームは、HP700 SUN/SPARC で、X11R5 を必要とする。以下に、CEEDS-GT の主な特長を示す。

#### ● 複数ウインドウ、複数グラフ。

- 一つのアプリケーションから、複数のツールウインドウを起動できる。一つツールウインドウに複数のグラフを設定できる。
- 各ウインドウ、各グラフの独立動作による並列解析が可能。

#### ● ユーザによる柔軟な表示形式指定。

#### ● リアルタイムモード。

- ユーザプログラムと同期したリアルタイム波形表示
- 豊富なコマンドライブラリによるウインドウ制御
- 表示データのファイル保存 → トレースバックモードでの再現

#### ● トレースバックモード。

- 時系列の異なる複数のデータファイルの合成表示

#### ● GUI 環境での各種解析機能。

図1に、CEEDS-GT の動作モード、図2に、CEEDS-GT の画面構成例を示す。

### 4 終りに

本稿では、CEEDS-GT の概要を紹介した。今後は、例えば汎用論理シミュレータの ASIC 以外への応用など、アナログ量、もしくはアナログ的に階長表現で表示すべきデータを扱うアプリケーションが増加していくと考えられる。今回、開発したツールは、単独でも実用性あると考えているが、今後の拡張されていくであろう”仮想環境”下でのプロトタイピング手法において、データ表示技術のキーコンポーネントの一つとして組み込まれるものと考えている。

<sup>1</sup>Verilog-XL は Cadence 社の登録商標です。

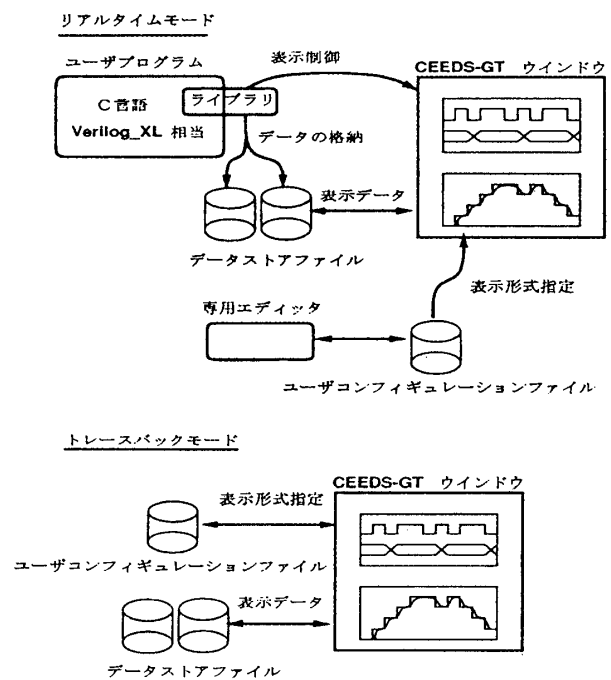


図1: CEEDS-GT 動作モード

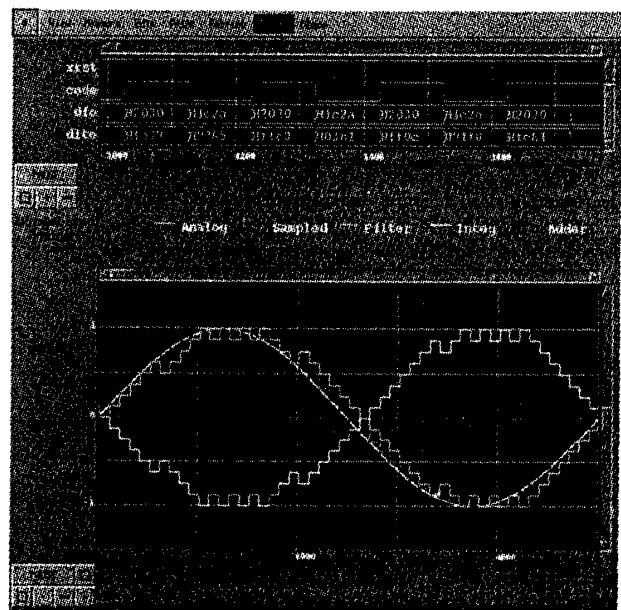


図2: CEEDS-GT 画面構成例

#### 参考文献

- [1] 水田 裕子、他” デジタル/アナログ波形表示ツール (CEEDS-GT) の開発 (3) -応用事例-” 情報処理学会第 49 回全国大会, 6L-07
- [2] 小笠原 敦、他” デジタル/アナログ波形表示ツール (CEEDS-GT) の開発 (2) -構成/ユーザインターフェース-” 情報処理学会第 49 回全国大会, 6L-06