

並列プロセッサ論理検証方式*

6L-1

† 鈴木 薫 † 近藤 邦朗

‡ 米山 修二 † 中山 和重

† (株) 日立製作所 汎用コンピュータ事業部

‡ (株) 日立東サービスエンジニアリング

1. 概要

日立製作所では、RISCプロセッサを演算プロセッサのCPUとして採用し、3次元クロスバネットワークにより最大128台の演算プロセッサを接続、大規模、高速処理を実現する並列プロセッサSR2001を開発した。

本論文では、SR2001の論理検証を効率良く、高精度に実施する為に開発された並列プロセッサ論理検証方式の概要について、論理シミュレーション方式を中心に述べる。

2. SR2001概要

並列プロセッサは、科学技術演算分野で専用マシンとして最適化され適用されてきたが、今後は、高速大容量処理に加え、耐故障性に優れた商用ベースの汎用マシンとして、適用分野の拡大が期待されている。

日立製作所では、これら市場ニーズを満足する製品を提供する為に、1993年初頭から並列コンピュータSR2001の本格的な論理設計を開始した。各演算プロセッサのCPUには、高性能RISCチップを採用、各演算プロセッシングユニットは、3次元構成のクロスバネットワークを介して接続され、パケット通信によりデータ転送を実施する。SR2001の特徴的な機能及び、システム構成図は以下の通り。

バリア同期：各演算プロセッサで動作するプログラムが期待する任意の同期ポイントに到達したか否かをH/Wで検知し、条件が成立する迄同期待ちを行う。

超高速連結：OSを介した通常のパケット通信以外に、ユーザ空間から直接データを転送するプロトコルをサポート

分割運転：演算プロセッサを複数のグループに分割し、各プロセッサグループが並列に個別のタスクを実行する。

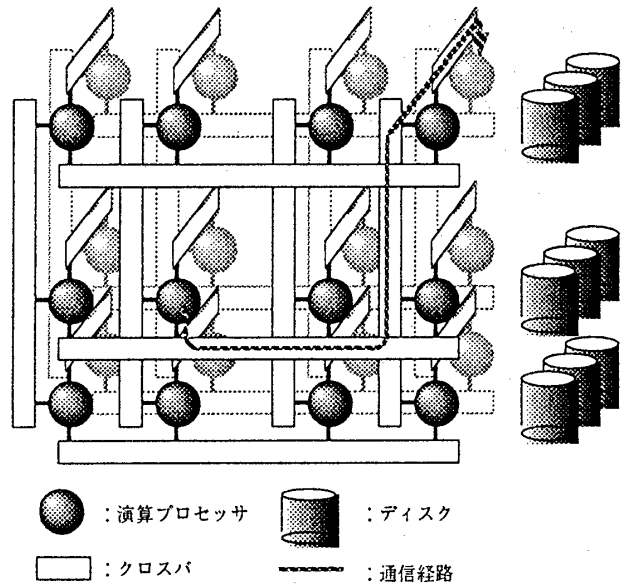


図1 SR2001システム構成図

3. ネットワーク論理検証プログラム構造

従来のCPU論理検証に加え、SR2001開発では、クロスバネットワーク網及び通信制御論理検証用試験プログラムを開発した。

試験プログラムでは、自演算プロセッサから任意演算プロセッサに対してパケットデータを送出し、相手側から返送されたパケットデータを、送出したパケットデータと比較する事で、ネットワーク論理の正常性を確認する方式を採用している。

この一連の動作を、システムに接続されている全ての演算プロセッサで、通信先、通信データ長、通信モード、通信データ等をランダムに変え実施する事で、実際のネットワーク上で発生する通信処理競合動作並びに、演算プロセッサ側で発生する送受信処理競合動作等を擬似的に再現し、試験を行う。

以下に試験プログラムフローを示す。

- 1) マスタ演算プロセッサから各演算プロセッサに同一試験プログラムをロードする。
- 2) 各試験プログラムは試験の為に初期化を行った後、バリア同期処理により、全ての演算プロセッサ上の試験プログラムが試験開始状態になるのを待ち、同期ポイントに達した時点で、一斉に試験用通信を開始する。

* Logic Verification Technique for the Parallel Processor System

† Hitachi, Ltd. General Purpose Computer Division

‡ Hitachi Service & Engineering (East) Ltd.

- 3) 送信先演算プロセッサから返送されたパケットデータを比較チェックする。
- 4) バリア同期処理により、全ての演算プロセッサで試験プログラムが試験終了状態になるのを待ち、次の試験を開始する。

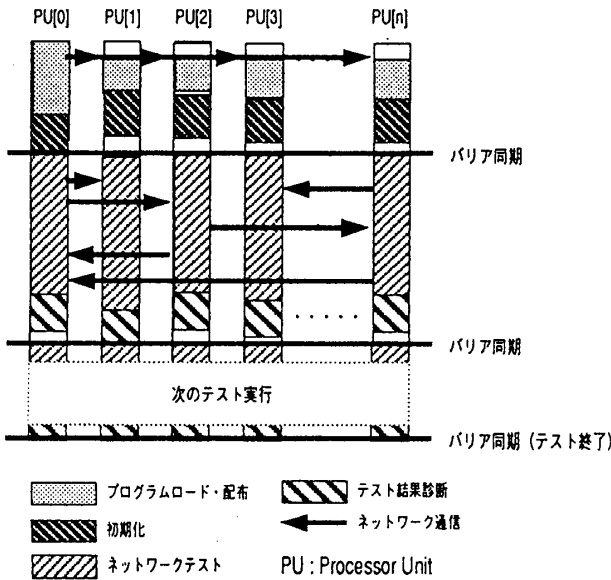


図2 ネットワーク通信試験方式

4. 並列プロセッサ論理シミュレーション方式

論理シミュレータ処理性能は、シミュレーション対象論理規模に比例して劣化する。又、論理シミュレータには、シミュレーション対象論理規模に制約がある。並列プロセッサの様に数十から数百台以上の演算プロセッサが接続されるシステムでは、上記2点の問題から、論理検証に十分なシステム（論理）構成をシミュレートする事は不可能であった。

この問題の解決策として、以下に示す演算プロセッサ論理レス2階層論理シミュレーション方式を採用した。

- 1) 演算プロセッサ論理をアーキテクチャシミュレータに代行実行させ、メモリ制御論理及びネットワーク通信制御系論理のみを論理シミュレータ側で実行する。
- 2) アーキテクチャシミュレータは、実装台数分の演算プロセッサ情報（メモリ・レジスタ等）を保持し、1命令単位に情報を切り替ながらのローテーションで並列実行を擬似する。
- 3) 論理シミュレータ・アーキテクチャシミュレータ間の状態遷移は、通信処理要求発生時点、通信処理完了時点に実施される。

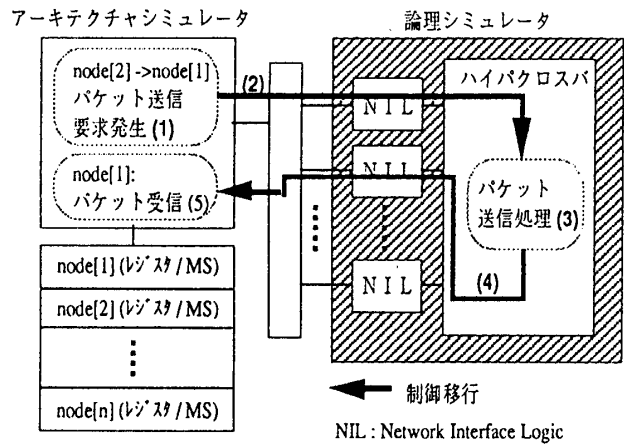


図3 論理シミュレーション構成

5. ネットワーク論理試験プログラムデバッグ

論理シミュレーションの際用いた命令インタプリタに、データ転送レベルでネットワーク論理を擬似するネットワークエミュレータを論理シミュレータ接続プロトコル同様のインタフェースで接続し、デバッグ用画面制御プログラムを接続する事で、論理シミュレーション環境と共にプログラムデバッグ環境を構築し、インタラクティブなプログラムデバッグを実現した。下記に、デバッグ用メインフレーム画面を示す。

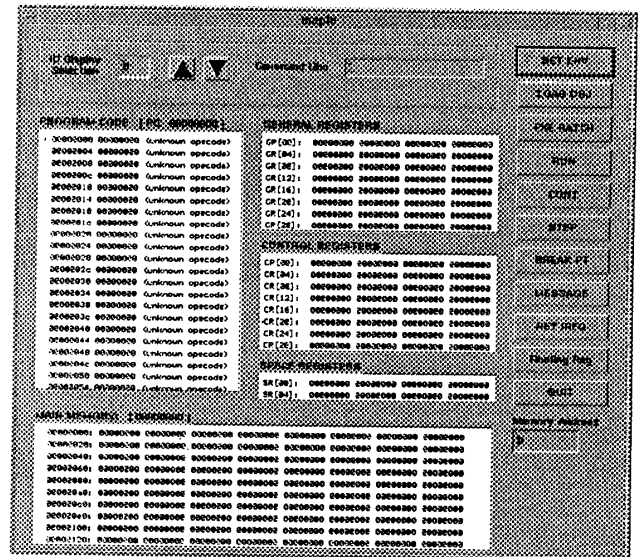


図4 アーキテクチャシミュレータ画面

6. おわりに

今後、数千台規模の演算プロセッサを有する並列計算機の論理検証を進めるに際し、より高いシミュレーション性能とデバッグバリエーションが求められており、現在方式の検討及び性能評価を実施中である。