

階層レイアウト設計におけるクロック配線手法

5L-8

大村正之¹, 近藤英史², 伊藤則之²
¹(株)PFU, ²富士通(株)

1. はじめに

チップの高集積化、高速化に伴いクロックスキューを0に近づけるクロック配線の重要性はますます高まっている。クロックスキューとは、チップの入力端子からクロックに同期する素子の入力までのディレイの最大であり、高速化のためにはこのクロックスキューを0に近づけることが必要である。また大規模チップのレイアウトにおいては、階層レイアウト手法が必須である。このとき、各階層内を考慮しながらチップ全体としてクロックスキューを0に近づけることが重要となる。これまで、クロックスキューを0にする配線手法としては〔1〕～〔4〕が報告されている。これらが対象とするモデルはあくまで単一階層内であり階層設計されたチップ全体に適用するのは難しい。もし、ビルディング・ブロックなどの階層設計レイアウトに適用する場合は各ブロックの境界上にクロック端子を1つ作り、これらのブロックが存在する階層での配線を行う〔5〕。

本論文では、階層化レイアウト設計において、各ブロックの境界上のクロック端子を1つに限定せず、しかもブロック内およびブロック間を含めたチップ全体で、スキューが最小となるクロック配線手法について述べる。

2. 階層化設計レイアウトモデルと問題の定式化

モデル1

図1に示すような階層化レイアウトにおいて、各ブロックの配置、各ブロック内でのクロック入力をもつFFやバッファなどの素子の配置が完了してしている状態において、ドライバとそれによって直接駆動されるレシーバより構成されるネットをH型で配線するモデルを考える。このモデルにおいて、各ネットのH型を構成する各区間の長さが図2のようにあらかじめ決定されているものとする。このH型各区間の長さをあらかじめ決めておく理由は、各ブロックおよび各ブロック内でのセルの配置が完了した段階でH型ネットをElmoreディレイによる配線伝播遅延の予測が可能となるためである。

モデル2

モデル1では、各ブロックおよび各ブロック内のセルの配置がすべて完了していることを前提とした。しかし実際の階層化レイアウト設計では、フロアプランは完了しているが、いくつかのブロックでは内部でのセル配置が完了していない場合がある。このとき、内部のセル配置が完了しているブロックについてのみクロック配線を行うことが必要となる。これについてはモデル1についての解法を述べたあと、その概略について述べる。

3. 配線アルゴリズム

3.1 H型ネット配線方法

モデル1で示したH型ネット配線方法(図3)を説明する。まず、着目したネットのレシーバ端子間を2端子ずつグループ化し、そのレシーバ端子間ペア毎に接続を行う。次にレシーバ端子間接続で作成された等ディレイ

分岐点を2つずつグループ化し、その等ディレイ分岐点ペア毎に接続を行う。さらに、等ディレイ分岐点が等ディレイ分岐点間接続で作成されるので2つずつグループ化していく。そして、等ディレイ分岐点ペアが1つになったら、ドライバ端子-等ディレイ分岐点間の接続を行う。

3.2 レイアウト階層間配線方法

モデル1で示したH型ネットがレイアウト階層に分岐している場合(図4)のH型ネット配線方法について説明する。ここでは、レイアウト階層間配線として図3のフローにおける等ディレイ分岐点間接続とドライバ-等ディレイ分岐点間接続についてその方法を示す。

3.2.1 等ディレイ分岐点間接続

レイアウト階層に分岐する2つの等ディレイ分岐点間接続を行う。処理フローは図5に示す。

①レイアウト階層間経路選択
指示されたそれぞれのレイアウト階層内の始点と終点の間でレイアウト階層間の通過数が最小となるレイアウト階層経路を選択する。

②レイアウト階層接続端子選択
レイアウト階層間経路が通過したレイアウト階層辺上でレイアウト階層接続端子を配置する。その際他のネットに属するレイアウト階層接続端子との重なりや配置する付近の障害物を考慮し、配置箇所を選択する。

③レイアウト階層内最短配線
レイアウト階層間経路が通過した各レイアウト階層にて、始点-レイアウト階層接続端子間、レイアウト階層接続端子間、終点-レイアウト階層接続端子間を最短配線を行う。

④等ディレイ分岐点探索
指示されたレイアウト階層内の始点と終点の配線上で、始点と終点までのディレイが等しくなるようなポイントを探し、その配線上のポイント等を等ディレイ分岐点として登録する。

⑤指定長配線〔6〕
等ディレイ分岐点を含むレイアウト階層にて、始点-等ディレイ分岐点間と終点-等ディレイ分岐点間を等ディレイかつ決められた配線長になるよう指定長配線を行う。

3.2.2 ドライバ端子-等ディレイ分岐点間接続

レイアウト階層に分岐するドライバ端子と等ディレイ分岐点間の接続を行う。処理フローは図6に示す。

①レイアウト階層間経路選択
2組のドライバ端子-等ディレイ分岐点間についてレイアウト階層間経路選択を行う。

②レイアウト階層接続端子選択
2組のドライバ端子-等ディレイ分岐点間についてレイアウト階層接続端子選択を行う。

③レイアウト階層への指定配線長割当て
2組のドライバ端子-等ディレイ分岐点間を等ディレイかつ決められた配線長になるように各レイアウト階層に指定配線長を割り当てる。

④レイアウト階層内指定長配線〔6〕
③で割り当てられた指定配線長に基づいて、各レイアウト階層にて指定長配線を行う。

3.3 モデル2における配線方法

モデル2においてセル配置が完了したブロックを対象としてクロックネットを配線する場合について説明する。処理フローは図7に示す。

①セル配置箇所確定
配線対象ネットに属する端子のうち、その端子が属するセルが配置されていない場合は、そのセルが属するブロックの中央に配置されていると仮定する。

②配線可能端子ペア選択
H型ネット配線方法を使用してどの端子ペアが配線可能かを選択する。

③ブロック内配線
選択した端子ペアのうち、配線可能なブロックに属する部分を最短で配線する。

④配線情報出力
配線結果を出力する。この配線結果から、次回他のブロックを対象としてクロックネットを配線する際の配線情報として使用される。

4. 評価

本論文で述べた配線アルゴリズムを実際のCMOSチップに適用した結果、ある1つのH型ネットについての配線長誤差はそれぞれ表1に示される通りである。指定されたH型についての配線誤差は10グリッド以内であり、その他のネットについてもほぼ同じ結果が得られている。なお、表1の結果は図2のH型ツリーモデルでのlとrの指定配線長の値を1000グリッドとした。

5. おわりに

本論文では、階層レイアウト設計におけるクロックスキューを0に近づける配線手法について述べ、実際のチップについて適用した結果、指定されたH型ネットについてほぼ0に近い配線誤差で配線することが確認できた。

〔1〕 S. Dhar, M. A. Franklin, and D. F. Wang, "Reduction of Clock Delays in VLSI Structures," Proc. IEEE Int. Conference on Computer Design, pp. 778-783, 1984.

〔2〕 M. A. B. Jackson, A. Sirinivasan, and E. S. Kuh, "Clock Routing for High-Performance ICs," Proc. 27th ACM/IEEE Design Automation Conference, pp. 573-579, 1990.

〔3〕 A. Kahng, J. Cong, and G. Robins, "High-Performance Clock Routing Based on Recursive Geometric Matching," Proc. 28th ACM/IEEE Design Automation Conference, pp. 322-327, 1991.

〔4〕 R. Tsay, "Exact Zero Skew," Proc. IEEE Conference on Computer-Aided Design, pp. 336-339, 1991.

〔5〕 B. Wu, and N. A. Sherwani, "Clock Routing for High-Performance Circuits using movable Clock terminals," Proc. Fourth Int. Conference on IC Design, Manufacture and Application, pp. 94-100, 1991.

〔6〕 T. Tada, and A. Hanafusa, "ROUTER SYSTEM FOR PRINTED WIRING BOARDS OF VERY HIGH-SPEED, VERY LARGE-SCALE COMPUTERS" Proc. 23th ACM/IEEE Design Automation Conference, pp. 791-797, 1986.

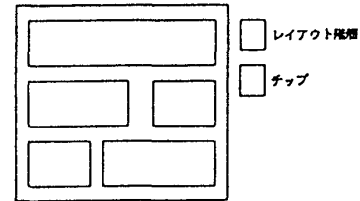


図1. 階層化設計レイアウトモデル

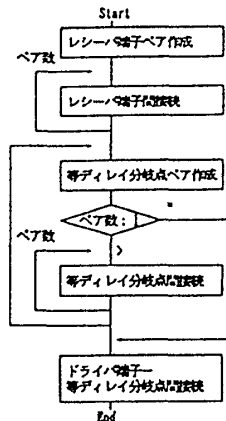


図3. H型クロック配線処理フロー

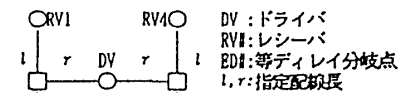


図2. H型クロック配線モデル

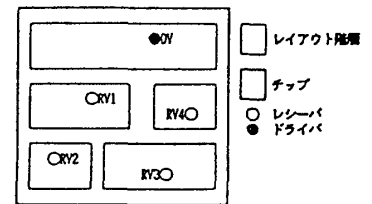


図4. H型クロックネット端子位置

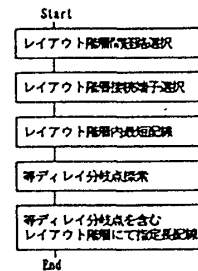


図5. レイアウト階層内配線処理 (等ディレイ分岐点内)

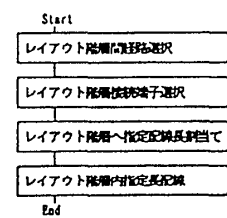


図6. レイアウト階層内配線処理 (ドライバ端子-等ディレイ分岐点内)

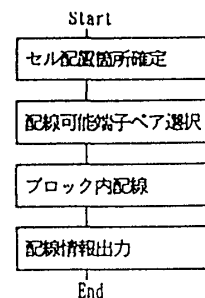


図7. モデル2配線処理フロー

区画	指定配線長	配線結果	配線誤差
RV1- ED1	1000	1000	0
RV2- ED1	1000	1005	5
RV3- ED2	1000	1004	4
RV4- ED2	1000	1002	2
DV - ED1	1000	1009	9
DV - ED2	1000	1010	10

表1 配線結果 (単位グリッド)