

ゲートアレイ/ CBIC レイアウトシステム GALET (1)  
— システム概要 —

5 L - 4

石塚 昭夫 木本 務 藤田 友之  
矢部 昌司 高見沢 一彦

日本電気(株)

1 はじめに

半導体製造技術の進展とLSIのシステム化の要請により、LSIチップに搭載される素子数が飛躍的に増大し、レイアウト設計時間も益々長期化する傾向にある。このため短期間での設計、製造が要求されるゲートアレイ、セルベースIC(CBIC)では設計の自動化、処理時間の短縮が重要課題となっている。さらに、回路素子の微細化に伴い、信号遅延における配線遅延の割合が相対的に増大しており、高性能なLSIを設計するためにはレイアウト設計における配線遅延の最適化が必須である[2]。

筆者らは、上述のようなレイアウトCADツールへの要請に対応して、ゲートアレイ/セルベースIC用自動レイアウトシステム「GALET」を開発した。本システムは階層クラスタリングによるミニカット配置[1]、領域分割による並列詳細配線[5]により大規模なLSIを短時間でレイアウトすることができる上に、配線長予測機能を備えたフロアプランナ[3]、バス遅延制約を保証するタイミングドリブン配置[4]、クロックスキューを低減するクロックツリー生成機能を備え、高性能なサブミクロンLSIの設計が可能である。また、電源配線、パッド-IOバッファ間配線の機能を備え、ゲートアレイだけでなくセルベースICのレイアウトも可能である。

本文ではこのシステムで扱うLSIのモデル及びシステム構成と、タイミング保証レイアウトの全体像及びセルベースICレイアウト用機能を説明する。フロアプラン機能、配置配線手法の詳細については、文献[3, 4, 5]を参照されたい。

2 LSIモデル

ゲートアレイ/セルベースICはレイアウトのモデルとしては「敷き詰め型LSI」と総称することができる。敷き詰め型LSIとは図1のような構造を持ったLSIである。チップ内部に内部サイト、周辺にはIOバッファ用の外部サイトが並べられている。外部サイトの外側にパッドが並んでいる。サイトとはセル(機能ブロックのこと)の配置候補位置であり、セルは連続する数個のサイトを占有する。

内部サイトは水平方向に列状に並べられ、上下に隣合う列の間には必要に応じて間隔が開けられている。この間隔は配線層数、デザインルール、回路規模などに応じて定められる。配線層が3層以上ある場合は、この間隔が0になる場合もある(敷き詰め型LSIと呼ぶのはこのためである)。

ゲートアレイではメガマクロ(ROM、RAMなど)もプリミティブセルと同じサイトで構成される。セルベースICではメガマクロはサイトとは関係なく自由に配置できる。

A Gate Array/CBIC Layout System GALET - Overview -  
Akio ISHIZUKA, Tsutomu KIMOTO, Tomoyuki FUJITA,  
Shouji YABE, Kazuhiko TAKAMIZAWA  
NEC Corporation

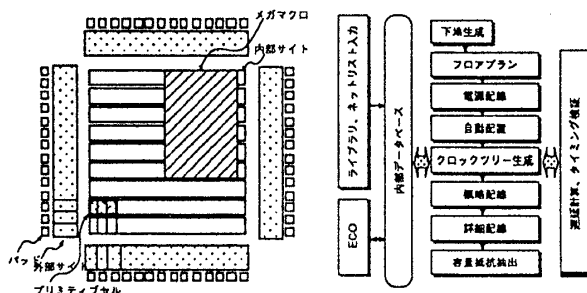


図1 LSIモデル

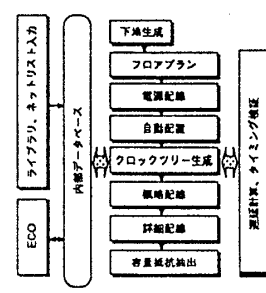


図2 システム構成

3 システム構成

GALETのシステム構成と設計フローを図2に示す。図2のフローはセルベースICの設計フローである。ゲートアレイの場合は、下地生成、電源配線が省略される。システムの特徴を幾つか説明する。

1. 非階層レイアウト

階層構造をもったネットリストも展開をして全体を一括して配置配線する。階層的にレイアウトを行なうと階層マクロ間にデッドスペースが生じたり、階層マクロの切口のピンの位置が不適切で不要な迂回配線など集積度が劣化することが多いためである。ただし、ネットリストの中に各セルがどの階層に含まれていたかを階層履歴情報として残して、フロアプランでセルのグループ化をするときに用いる。

2. 高速配置配線

配置処理には階層クラスタリングによるミニカット配置を用い、シミュレーテッドアニーリングによる配置手法に比べて6倍以上の速度向上を実現した[1]。配線では詳細配線処理において複数EWSによる並列配線アルゴリズムを開発した。迷路法配線による高い配線収容性能を維持しながら、EWS台数分のTAT短縮が可能である。

3. データの集中管理

ライブラリやネットリスト、配置配線データは内部データベースに格納され、以降の処理はすべてこの内部データベースを参照・更新する。

4. タイミング保証機能

高速LSIの設計のために様々なタイミング保証機能を備えている。例えば、クロックツリー生成機能はフリップフロップの配置位置をもとにクロック配を行なうバッファツリーを生成し、クロックスキューを低減している。その他に、フロアプランによる配線遅延予測、タイミングドリブン配置、ECO機能などがある。これらを用いたタイミング保証の仕組みについて第4節で説明する。

5. セルベースICレイアウト機能

ゲートアレイだけでなくセルベースICのレイアウトも可能である。詳しくは第5節で説明する。

## 4 タイミング保証

図3を用いてタイミング保証の仕組みを説明する。

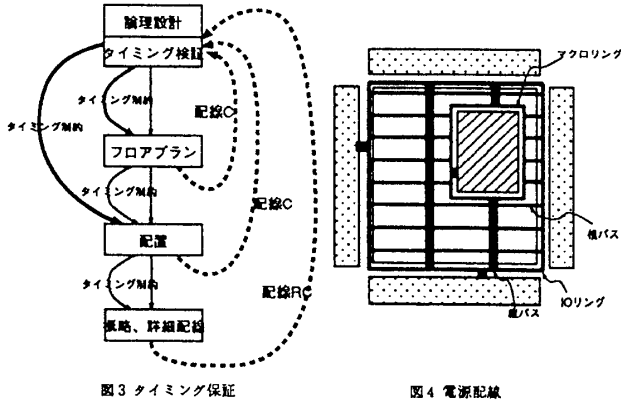


図3 タイミング保証

図4 電源配線

設計手順に沿って最も上に論理設計があり、最後にレイアウト設計の最終段階である配線処理がある。サブミクロンLSIでは配線遅延の正確な予測が不可欠である。配線遅延値は下流に進むほど正確に求められるため、高速でタイミングエラーのないLSIを設計するためには、下流で求めた、より正確な配線遅延値を上流に戻して再度検証、設計を繰り返すことが必要である。しかし、このサイクルは繰り返し実行されるため、長い時間を要する配置や配線を行ってから上流に戻ることは実用的ではない。したがって、比較的短時間に、しかも、ある程度の精度を持った配線遅延を見積もることが必要であり、その手段としてはフロアプランが最適である。さらに、よりきめ細かいタイミング制御を行なうためには、上流で見込んだ配線遅延を下流で確実に実現する手段も必要である。まとめると、レイアウトツールに求められるタイミング保証機能は以下の4点である。

- 短時間に概略的なレイアウトを行なう(フロアプラン)。
- その時点でのレイアウト情報をもとに配線長を予測または実測し上流に戻す(配線長予測、配線抵抗容量抽出)。
- 上流から与えられたタイミング制約を実現する(タイミングドリブンレイアウト)。
- 小規模の回路変更があったときに、前のレイアウト結果(すなわち、配線遅延)を極力変えずに新しいネットリストに適合したレイアウトを実現する(ECO機能)。

GALETではこれらの機能を組み合わせて使用することによって高速LSIのレイアウトを可能にしている。

## 5 セルベースICレイアウト機能

セルベースICの設計方法がゲートアレイと異なる点は

- チップサイズが可変であり下地がない。
- メガマクロの位置によって電源配線を変えなければならない。

の2点である。配置配線機能などはゲートアレイとほとんど同じ機能が使用できる。このため、GALETをセルベースICのレイアウトに適用するため、以下の3つの機能を実現した。

### 1. 下地生成

回路規模に応じてチップサイズを見積もりゲートアレイのような下地を生成する機能である。セルベースICをレイアウトする場合には、まず回路規模からチップサイズを仮見積りする。さらに、パッド位置ライブラリから仮サイズに最も適合するパッド位置を選択し、チップサイズ、サイト並び、配線格子などの下地情報を生成する。パッド位置をライブラリ化しているのは、リードフレームなどを共通化して製造TATを短縮するためである。サイト列間の間隔は配線層数や回路規模などを考慮してユーザが指定する。また、メガマクロ位置、サイト並びが確定した段階で、メガマクロ部以外の内部サイトにゲートアレイと同じ基本セルを敷き詰め、このデータをもとにマスクを作成することにより、いわゆるエンベデッドアレイ方式のLSIの下地を生成することができる。エンベデッドアレイ方式LSIはレイアウト設計終了前に拡散工程を先行することができるため、設計・製造期間をセルベースICよりも短縮することができるため注目を浴びている。

### 2. 周辺ルータ

パッドとIOセルとの間を配線するルータである。チップの上下左右にパッド列・IOセル列がある。各辺毎にパッドとIOセル列の間の領域を使って、両者をリバールータによって配線する。周辺ルータはパッドの位置は固定したまま、IOセルの位置を配線が短くなるように最適化する。

### 3. 電源ルータ

電源配線は図4に示すようにメッシュ状に配線する。フロアプランでIOセルとメガマクロを配置した後、プリミティブセルを配置する前に行う。メガマクロのまわりにXY原則に従ったリング配線があり、これがメッシュ配線と接続している。従来はこのリング配線はメガマクロの端子でまわりにリングを生成し、このリングよりメガマクロへの引き込みを行った。これによりメガマクロの90度回転が可能になった。また、配置前に電源配線を行うのでメッシュ配線のリング配線への接続で折り曲げが必要な場合、その部分(領域)のみが配置禁止となり、それ以外はプリミティブセルが配置でき高密度な設計ができる。

## 6 まとめ

ゲートアレイ/セルベースIC自動レイアウトシステムGALETのシステム構成を説明した。本システムは高速配置配線機能によって短TATレイアウトを実現する他に、フロアプランナ、タイミングドリブン配置、クロックツリー生成など配線遅延を予測、制御する機能を備えている。本システムはすでに200以上の品種に適用され、その性能が実証されている。

## 参考文献

- [1] 枝廣, 吉村, "階層クラスタリング法を用いたセル列型LSIのための配置手法," VLD90-62, pp.9-15, 1990.
- [2] P.S.Hauge, R.Nair, J.Yoffa, "Circuit Placement for Predictable Performance," Proc. of ICCAD, pp.88-91, 1987.
- [3] 野田, 村田, 石塚, "ゲートアレイ/CBICレイアウトシステムGALET(2)-フロアプラン機能-", 情処全大, 1994
- [4] 多和田, 袖, 水沼, 他 "ゲートアレイ/CBICレイアウトシステムGALET(3)-自動配置手法-", 情処全大, 1994
- [5] 油井, 岡本, 石塚, "ゲートアレイ/CBICレイアウトシステムGALET(4)-自動配線手法-", 情処全大, 1994