

論理回路分割と線形計画法に基づく階層的スタンダードセル配置手法

5L-1

若林 真一 上土井 陽子† 岸本 善久 小出 哲士 吉田 典可

広島大学工学部 † 広島市立大学情報科学部

1 まえがき

近年の半導体技術の進歩により大規模かつ複雑な論理回路を効率良くレイアウト設計するレイアウトアルゴリズムの開発が望まれている。本稿では階層的スタンダードセル配置設計について考察する。スタンダードセル配置の一般的手法として論理回路分割による階層的配置手法 [2] と線形計画法による手法 [3] がある。本稿では線形計画法により得られた配置情報を利用して論理回路分割を行なうスタンダードセル配置アルゴリズムを提案する。論理回路分割手法として著者らが既に開発している遺伝的ハイブリッド分割手法 [1] を用いる。

2 準備

本稿で取り扱うスタンダードセル配置問題を以下に定式化する。

【入力】 論理回路 $H = (V, E)$
 V : セル集合, E : ネットリスト
 各セルの幅と高さ
 I/O 端子の位置
 セル列数

【出力】 制約条件を満たし、目的関数の値を最小にする論理回路の配置結果。

【目的関数】 仮想配線長の総和。

【制約条件】 セルは重ならず、列状に配置される。

3 階層的スタンダードセル配置アルゴリズム

本稿ではスタンダードセル配置問題に対するヒューリスティックアルゴリズムを提案する。提案アルゴリズムは入力された論理回路の配置を階層的に行う。

代表的な階層的配置手法として論理回路分割による手法 [2] と線形計画法による手法 [3] が挙げられる。論理回路分割による手法は階層の上位レベルでは大域的な情報を効率良く利用して分割を行なえるが、下位レベルにおいては大域的情報を考慮した配置が得られにくいという欠点がある。一方、線形計画法による手法は仮想配線長が最小となる配置を得ることができるが、大規模な入力に対し実用的な計算時間で配置を得ることが困難であり、また、得られた配置のセル間の重なりが大きい場合は重なりを除去する時に配置の最適性を

損ないやすいという欠点がある。これらの特徴を以下にまとめる。

[論理回路分割]

上位レベル 大域的な情報を効率良く利用して分割を行なう。

下位レベル 大域的な情報を考慮した配置が得られにくい。

[線形計画法]

上位レベル 得られた配置のセル間の重なりが大きい場合、重なり除去時に最適性を損ないやすい。計算時間が大きい。

下位レベル セル間の重なりが小さくなるにつれて最適な配置に近づく。

そこで提案アルゴリズムではこれらの欠点を解消するため、階層の上位レベルでは論理回路分割手法を用いて大域的な情報を考慮した論理回路分割を行なう。階層の下位レベルでは階層の上位で論理回路分割により得られた各部分回路に対し線形計画法を適用し仮想配線長が最小となる配置を求める。以下にアルゴリズムの記述において使用するブロックとスロットの定義を与える。

ブロック 論理回路分割手法により分割された論理回路を割り当てるチップの部分領域。1つのブロックには500~1000個程度のセルが含まれる(図1-(1))。

スロット ブロック内のセルが割り当てられる領域。1つのスロットには1つのセルが割り当てられる(図1-(2))。

以下に提案アルゴリズムの概要を示す。

[提案アルゴリズム]

フェーズ 1. 入力された論理回路に対し論理回路分割を繰り返して、分割された論理回路をブロックに割り当てる。

フェーズ 2. フェーズ 1 で得られた配置の各ブロックに対して線形計画法を適用し、仮想配線長が最小となるセル配置を求める。

フェーズ 3. フェーズ 2 で得られた配置情報に基づき論理回路を階層的に4等分割し、セルをスロットに割り当てる。

フェーズ 4. 列割り当て。

A Standard Cell Placement Method Based on Circuit Partitioning and Linear Programming, Shin'ichi WAKABAYASHI, Yoko KAMIDOI †, Yoshihisa KISHIMOTO, Tetsushi KOIDE, Noriyoshi YOSHIDA, Faculty of Engineering, Hiroshima University, † Department of Information Science, Hiroshima City University.

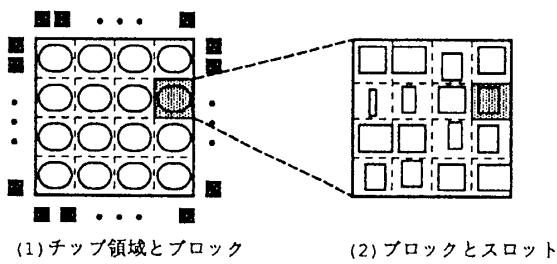


図1 ブロックとスロット

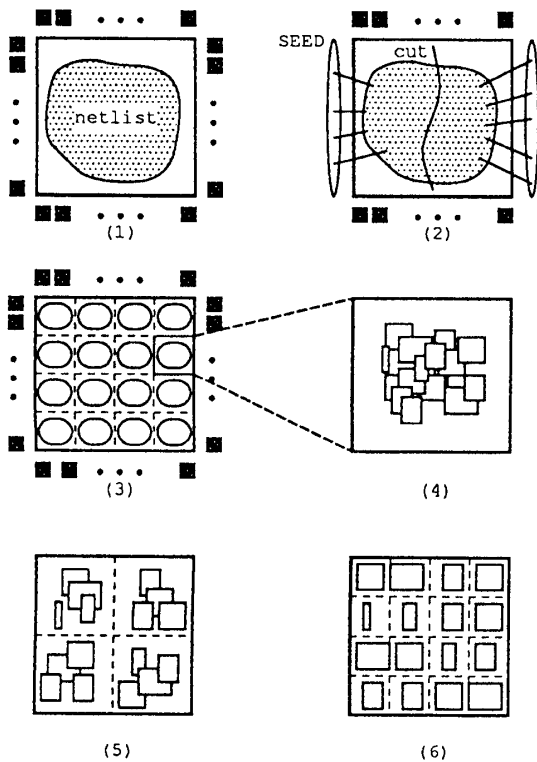


図2 アルゴリズムの概要

以下では各フェーズごとの詳細を示す。

3.1 フェーズ 1

フェーズ 1 の目的は線形計画法の適用できるサイズになるまで問題を小さくすることと、お互いの間のカット数の小さい部分回路を構成することである。

与えられた論理回路をカット数が最小になるように遺伝的ハイパーグラフ分割手法 [1] を用いて分割し、分割された論理回路をブロックに割り当てる。この時チップ領域のカットラインは水平方向と垂直方向を交互に繰り返す。遺伝的ハイパーグラフ分割手法を適用する場合に必要な探索開始節点 (SEED という) として図 2-(2) の様に固定された I/O 端子、もしくは隣接するブロックに既に固定されているセルを用いる。この操作を各ブロックに含まれるセルの数が 500~1000 個程度になるまで繰り返す (図 2-(3),(4))。

3.2 フェーズ 2

フェーズ 1 で各ブロックに割り当てられた部分回路に対して線形計画法を適用し、仮想配線長が最小になるように最適化を行なう (図 2-(5))。

3.3 フェーズ 3

フェーズ 3 の目的はフェーズ 2 で得られた配置の座標に基づきセルをスロットに割り当てることである。

フェーズ 2 で得られた配置の座標により SEED を選び、遺伝的ハイパーグラフ分割手法 [1] を階層的に適用することにより各ブロック内のセルをスロットに割り当てる (図 2-(6))。

3.4 フェーズ 4

得られた配置の座標に基づきセルを各セル列に割り当てる。

4 実験

提案手法の実験結果を示す。実験では上位 1 階層のみを論理回路分割手法により 4 分割し各ブロックを線形計画法を用いて最適化、さらに 4 等分割を階層的に行ないスロットに割り当てた。従来法として文献 [1] の手法を用いた。両手法ともサン・マイクロシステムズ社の SPARCstation2 上に C 言語を用いて実現し、入力データとして MCNC ベンチマークデータを使用した。実験結果より提案手法は従来手法と比較してよい解を短い時間で求めていることがわかる。今後、さらに大規模なデータについて実験を行なう予定である。

表 1 実験データ

データ	セル数	ネット数	セル列数
highway	54	79	5
fract	125	163	7
primSC1	752	1159	18
primSC2	2907	3671	32

表 2 実験結果

データ	仮想配線長 $\times 10^3 [\lambda]$		CPU 時間 [sec.]	
	従来法	提案手法	従来法	提案手法
highway	19	17	2	3
fract	661	611	22	12
primSC1	2602	2148	1193	385
primSC2	12908	13059	29235	5995

本研究の一部は文部省科学研究費補助金試験研究 (B)(2) (課題番号 06558042) による。

文献

- [1] 上土井, 川本, 若林, 小出, 吉田: “ハイパーグラフ k 分割手法に基づくスタンダードセル配置手法,” 情報処理学会第 47 回 (平成 5 年後期) 全国大会予稿集, 2H-3, p.6-109 (1993).
- [2] P. R. Suaris and G. Keden: “Quadrisection: a new approach to standard cell layout,” Proc. IEEE International Conf. on Computer-Aided Design, pp. 474-477 (1987).
- [3] B. X. Weis and D. A. Mlynski: “A graphtheoretic approach to the relative placement problem,” IEEE Trans. on Circuits and Systems, Vol. 35, No. 3, pp. 286-293 (1988).