

代数的言語ASLによる回路設計支援システムにおけるSFL記述への詳細化
とその変更及びそれらの正しさの検証

4L-7

北嶋 暁 森岡澄夫 北海道淳司 東野輝夫 谷口健一

大阪大学 基礎工学部 情報工学科

1. まえがき

レジスタ転送レベルの回路仕様を記述し、それから論理合成を行うという、高位合成において、高信頼という立場からは、システムの入力となる回路記述が正しい（要求仕様を満たす）かどうかを形式的に検証できることが望ましい。

我々は、代数的手法を用いた同期式順序回路の仕様記述法及び要求仕様からの段階的設計法を提案している^[1]。この設計法の特徴は、回路の要求仕様を代数的言語ASLを用いて記述し、それからレジスタ転送レベルまでの階層的設計(用いる動作アルゴリズム、部品の機能等)を形式的に記述できること、設計検証^[2]を行えること等が挙げられる。

本手法により得られたレジスタ転送レベルの記述は、回路性能の評価を行い、その結果による途中レベルからの再設計を行って、より良い回路を得ること、さらに下位レベルの設計を行い実際の回路を得ることが望ましい。NTTが開発したSFL及びバルテノン^[3]は、レジスタ転送レベルの記述に対し、回路評価、論理圧縮、ネットリストの合成などを行うことができる。そこで、論理設計レベルにおけるASL記述からSFL記述への変換系を作成した。変換系で得られたSFL記述は、要求仕様を満たすことが保証されている。

本報告では、CPUを例としてこれらの機能を用いた階層的設計、再設計それらの検証の結果について述べる。

2. 代数的手法を用いた順序回路設計法と回路設計支援システムの概要

回路の仕様は、任意のレベルで、データバス系Dと制御系Cからなる。代数的言語では、回路の各動作（状態遷移）の前後の状態における各部品（メモリやレジスタ等の）値の関係を、述語や数式などを用いて記述でき（複雑な計算を実行した結果の値のバラレル転送なども記述できる）、一般の回路記述言語より抽象度の高いレベルのデータバス系を記述できる。制御系は、拡張有限状態機

械（いわゆる状態遷移図）でモデル化できる。

与えられた要求仕様<D,C>から、設計者は、Dの各動作を実現するため、部品の追加やバス構成などを考慮して、より具体的な動作（下位レベルのデータバス系D'）を導入し、それらをどのような順に実行させてDの各動作を実現するか（ローカルな制御系）、上位レベルの部品をどのように下位レベルの部品で実現するか（部品の対応関係）を決定する（これらに対応関係Mとする）。設計が正しい（対応関係Mが正しい）かどうかを検証支援機能を用いて証明する。上位レベルの制御系Cと追加したローカルな制御系より、下位レベルの制御系C'を自動合成し、C'の簡約（変形）を支援系を用いて行いC''を得、下位レベルの回路の仕様を得る。この手順を繰り返すことにより、レジスタ転送レベルの記述を得る。このレベルの仕様を、SFLに等価変換することによって、クロック周期、ゲート数、チップ面積等の回路評価や、ネットリストの合成が行える（図1）。

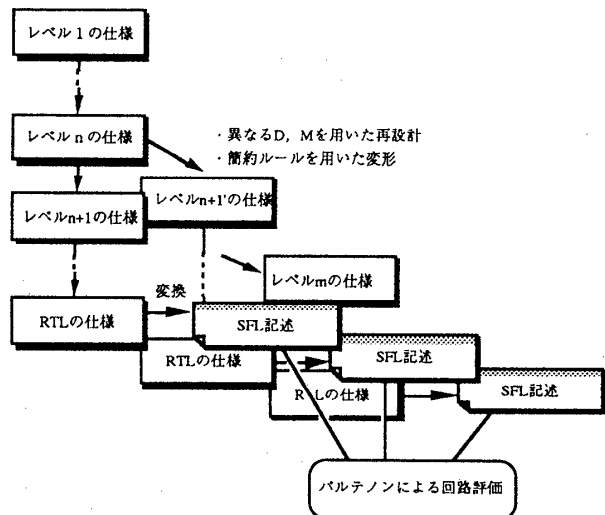


図1 再設計を含む階層的設計の概念図

必要に応じ、バルテノンによって回路を評価し、段階的設計における途中レベルからの再設計を行い、目的の回路を得る。一般に、再設計は試行錯誤を伴い、どのレベルからどのような再設計を行うか（別の動作アルゴリズムの採用、実行制御における分岐部分の展開による条件の単純化などの状態図の変形、部品の機

Refinement of Sequential Circuits to SFL Descriptions and Re-design with Verifications of Design Correctness Using a Circuit Design Support System based on Algebraic method

Akira Kitajima Sumio Morioka Junji Kitamichi Teruo Higashino Kenichi Taniguchi

Department of Information and Computer Sciences, Faculty of Engineering Science, Osaka University

能・個数の変更など)は、設計者が決定する。また、この場合、再設計を行うレベルから検証を行えばよく、各レベルの仕様は、各段階の設計の正しさ・簡約の正しさが保証されているので、得られるSFL(あるいは最終的に得られるネットリスト)は、要求仕様を満たすことが保証される。

3. ASLからSFLへの変換系

SFLでは、使用するレジスタ、メモリ、組合せ回路等の機能部品の機能と個数等の記述と、どの状態でどのような条件が成り立つときに、各部品にどのようなデータを与えるかという制御の記述からなっていると考えられる。また、機能部品の機能について、新たに作成する場合と、既存の機能部品を使用する場合を区別するようになっている。そこで、いずれの場合でも対処できるようにASLの記法を定め、SFLで用いる演算子のうち、これまでASLで扱っていなかった演算子を、ASLの関数として定義した。

これらの関数を用いて書かれたASLの記述<D,C>に対して、文法・公理を解析して、制御系Cの公理より状態遷移図を作成し、残りの公理に対して部品の分類等を行う。各状態遷移毎に、全ての部品について、その値がその遷移において更新されるかを調べ、更新されるときは、その値を得るための式(機能部品の組み合わせ)を得る。各状態毎に、その状態からの遷移の条件を状態遷移図から得る。ASLでは、現在は制御部が一つの場合のみを対象としているため、制御系CからはSFL記述ではステージが一つのものが得られる。

4. 設計例

ここでは、文献[3]でのCPUを取り上げる。命令の種類は演算、ロード・ストア命令など7種類あり、1つのバスで全てのデータ転送が実現されている。

ここでは、外部とのデータのやり取りを行う部分は省略し、命令実行を表す動作EXECUTEの詳細化を取り上げる。レベル1ではEXECUTEを実行し

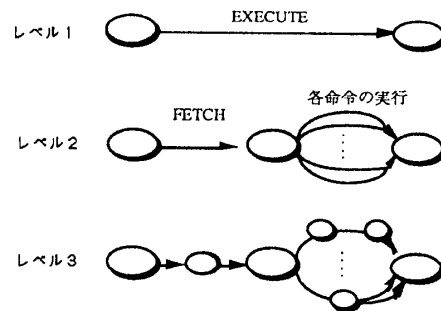


図2 動作EXECUTEの詳細化の概略

たとき、PC、ACC、MEMがどのように変わるか(命令セットの要求記述)を記述している。その動作を、命令レジスタIRを導入し、一旦命令をIRに入れる動作(FETCH)を行い、IRの値に従って、各命令を実行する各動作を行うように詳細化した(レベル2)。このような詳細化を続け、レベル4は、SFLに相当する記述レベルである。ここまでの設計の正しさは自動的に行われた。CPU時間を表1にまとめる。レベル4の記述を、変換系を用いてSFLに変換し(設計1)、バルテノンを用いて回路評価を行った。次に、レベル3から、命令分岐とデータ転送を同時に行っている箇所を、まず分岐を行って、次の状態でそれぞれの命令を実行するように展開することで、クロック周期を短くすることを試みたが(設計2)、あまり向上されなかった。そこで、バスに関する制約を取り除き、レベル2からデータ転送の並列度をあげるように再設計を行い、再評価した(設計3)。

その結果を表1にまとめる。設計3は設計1に比べ、1命令実行に要するクロック数は、設計1に比べ、1~2クロック少ない。検証は、設計1の設計では全て行ったが、再設計は、途中レベルからの検証だけ行えば良い。

5. まとめ

以上、代数的言語ASLによる同期式順序回路の要求仕様からSFL記述を得るまでの設計例について述べた。さらにいくつかの設計例題に対して本手法を適用し、再設計を行うための支援方法について検討したい。

表1 各レベルの検証時間、変換時間、バルテノンによる回路性能

	設計1	設計2	設計3
level1~level2 検証時間(sec)	6.01	—	—
level2~level3 検証時間(sec)	0.41	—	0.46
level3~level4 検証時間(sec)	0.78	1.00	0.98
level4のASLテキスト(行, 状態数)	218,10	242,17	206,11
SFLへの変換 時間(sec)	23.33	45.99	18.20
バルテノンの処理時間(sec)	52.41	126.43	46.92
クロック周期(ns)	93	91	89
消費電力 (μW/MHz)	10317	10759	10364
回路面積 (kμm ²)	4302	4406	4296
ゲート規模	4480	4590	4446

検証はSONY NEWS5000
SFLへの変換、バルテノンでの評価実験はSUNClassic

文献

[1]北道淳司,東野輝夫,谷口健一,杉山裕二:代数的手法を用いた同期式順序回路の段階的設計法,信学論,Vol.J77,A No.3,pp.420-429(平6-03).
[2]谷口健一,北道淳司:"代数的手法を用いた仕様記述と設計及び検証",第6回回路とシステム軽井沢ワークショップ,pp.375-380(平5-05).
[3]J.J.Joyce: "Formal Verification and Implementation of a Microprocessor", VLSI Specification, Verification and Synthesis, Kluwer Academic Publishers, pp.129-157(1988).