

HDLによるフィールドバス・チップの開発(2) ー検証環境ー*

3L-6

池田 哲 島田 克之 小林 文彦 夏井 聡 佐野 直樹 久保 典夫†

横河電機(株) EDA 開発センター†

1. はじめに

今回、IEC/ISA SP50 フィールドバス規格に準拠した2つのフィールドバス通信制御用チップ(FIND-1/FIND-2)の開発を行なった。[1]このような大規模かつ高機能なチップの開発においては、チップ単体のみのデバッグで機能のチェックを行なうことは限界があり、チップとその周辺を含むボードレベルでの検証、さらにはもっと上位のシステムレベルでの検証が重要である。[2]

我々はフィールドバス・チップの開発に際し、HDLシミュレータを用いて、通信制御用チップ特有の開発・デバッグ環境を構築した。本環境は、チップの動作およびタイミング検証を目的とするボードレベル・シミュレーションと、チップの機能および仕様検証を目的とする複数チップ間のシステムレベル・シミュレーションを提供する。

我々は、本環境により高品質のチップを短期間で開発し、その有効性を確認したので報告する。

2. ボードレベル・シミュレーション環境

図1に、チップの動作およびタイミング検証のためのFIND-2のボードレベル・シミュレーション環境を示す。

(1) ロジック部

ロジック部は、FIND-2が実際に実装されるシステム上で想定されるロジック上の部品とその接続関係を示すものである。具体的には、ゲートレベルあるいはRTLレベルで記述されたFIND-2とその周辺回路のHDL機能モデルにより構成される。

1. プロセッサモデル

プロセッサモデルは、FIND-2のバス仕様を検証する目的で設計された、インテルタイプの8/16ビットプロセッサモデルで、バスアクセスのタイミング発生、タイミング違反チェック、割り込み制御などを行なう。

2. フィールドバス・メディアモデル

フィールドバスモデルは、アナログ回路及びフィールドバスの伝搬を想定したモデルである。

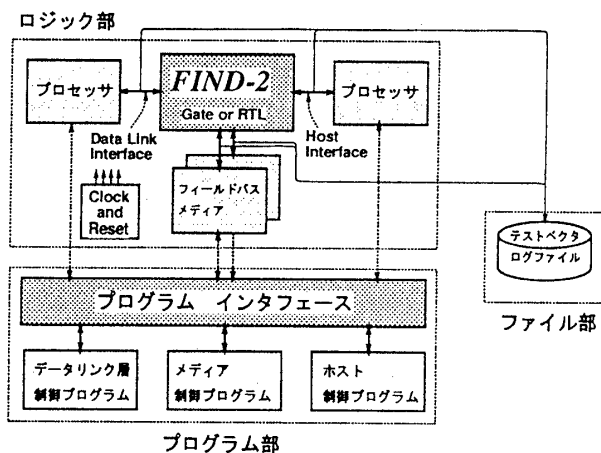


図1: FIND-2のボードレベル・シミュレーション環境

(2) プログラム部

プログラム部は、ロジック部の各モデルを制御する各テストプログラムとプログラムインタフェースより構成される。プログラムインタフェースは、プロセッサなどのHDL機能モデルを制御するための種々の関数により構成される。各テストプログラムは、これらの関数を利用してHDL記述によって効率よく作成される。図2に、データリンク制御プロセッサにおける例を示す。

```

putfci('ComErrMask_RAdd,'clear);
for(i = 0 ; i <= 11 ; i = i+1)
    set_ps(i[3:0],'PS_SCI);           // ページ SCI

LENGTH = 10;
TX_START_ADRS = 12'h040;

putfci('OpeMode_RAdd,
      'ILB_bit | 'FCS_bit);         // ILB, FCS

set_tx_start(TX_START_ADRS[11:8],
             TX_START_ADRS[7:0]);
set_tx_length(LENGTH);
set_ps(TX_START_ADRS[11:8],'PS_TX); // ページ Tx

wait_EOT();                          // 割り込み待ち
    
```

図2: テストプログラムの例

*Development of Fieldbus Chips by using HDL (2)

†Satoru Ikeda, Katsuyuki Shimada, Fumihiko Kobayashi, Satoru Natsui, Naoki Sano, Norio Kubo

‡EDA Development Center, Yokogawa Electric Corporation

(3) ファイル部

ファイル部は、テストベクタ、ログファイルの生成および期待値データのチェックを実行する。

3. システムレベル・シミュレーション環境

実際の通信動作まで考慮した仕様レベルの機能を検証するには、フィールドバス通信制御用チップの相互通信が可能な、いわゆるシステムレベル・シミュレーション環境が必要である。今回、我々は *FIND-1*、*FIND-2* を含むシステムレベル・シミュレーション環境を構築した。ここでは、ハードウェアの機能を検証するための *FIND-1/FIND-1* の相互通信シミュレーション環境、並びに通信ソフトウェアを検証するための *FIND-1/FIND-2* の相互通信シミュレーション環境について紹介する。

(1) *FIND-1/FIND-1* の相互通信シミュレーション環境

図 3は、3 ステーション間の通信が行なえるシミュレーション環境である。前章で説明した HDL 機能記述によるプロセッサモデル、テストプログラミング環境、および *FIND-1* が 1 つのステーションを構成している。本環境では、それぞれのステーションに対し各々非同期のクロック要素を与えることにより、通信の非同期性を取り入れ、

- *FIND-1* のレジスタ操作と通信タイミング
- ステーション間の非同期性のチェック
- *FIND-1* の割り込みのタイミング

などの確認を効率的に行なうことができる。

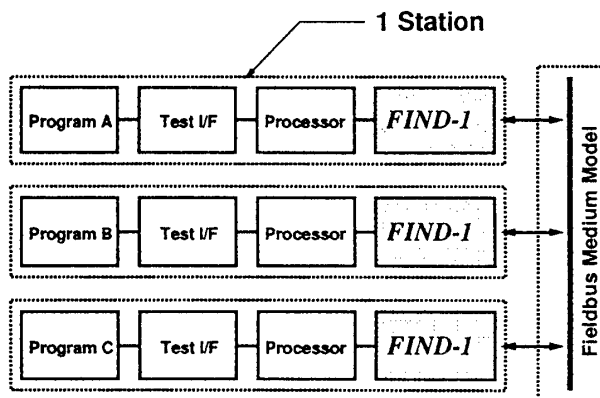


図 3: *FIND-1/FIND-1* の相互通信シミュレーション環境

(2) *FIND-1/FIND-2* の相互通信シミュレーション環境

さらに現実に近い通信のパフォーマンスを検証するには、ソフトウェアの言語レベル、即ち CPU の命令と実行をタイミング互換にシミュレーションできるモデルが必要である。

今回、CPU の全命令をサポートし、実際のタイミングで動作する Full Functional CPU モデルを HDL で設計した。この CPU モデルは、オブジェクトコードで動作し、ユーザーの記述したアセンブリ言語や C 言語によるデバッグが可能である。

図 4に、*FIND-1/FIND-2* の相互通信シミュレーション環境を示す。本環境は、ソフトウェアシミュレーションとハードウェアシミュレーションを融合した環境で、「I/O 割り込み」、「ハードウェアとソフトウェアのトレードオフ」など、従来困難であった検証やデバッグを容易に行なうことができる。

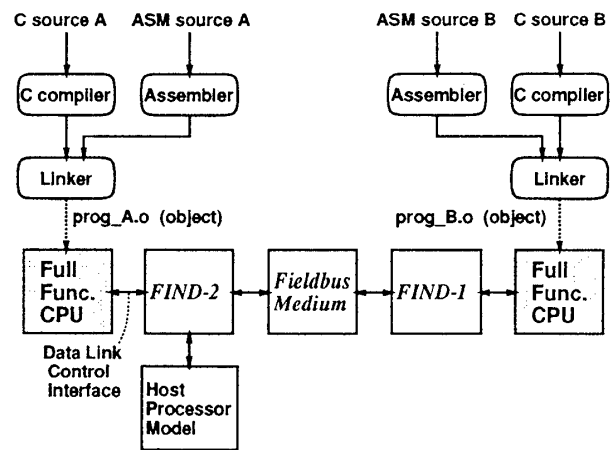


図 4: *FIND-1/FIND-2* の相互通信シミュレーション環境

4. おわりに

本稿では、HDL によるフィールドバス・チップの開発、デバッグのためのボードレベル/システムレベルシミュレーション環境について紹介した。

今後、大規模かつ高機能化する ASIC を短期間で開発するためには、ハードウェア/ソフトウェア検証を効率的に行なうためのボードレベルないしシステムレベルシミュレーション環境が益々重要になるといえる。

参考文献

[1] 島田、小林他:”HDL によるフィールドバス・チップの開発 (1)”、情報処理学会第 49 回全国大会
 [2] 夏井、島田他:”HDL による通信制御用チップの開発環境の構築”、情報処理学会第 47 回全国大会、1H-2、(1993-10)