

HDL によるフィールドバス・チップの開発 (1) —チップ概要—*

3L-5

島田 克之 小林 文彦 池田 哲 夏井 聡 佐野 直樹 久保 典夫†

横河電機 (株) EDA 開発センター‡

1. はじめに

数年前から我々は、ASIC の開発・設計効率の向上を目的に HDL を用いた独自のトップダウン設計手法を確立してきた [1]。今回、このトップダウン設計手法を用いることにより、IEC/ISA SP50 フィールドバス規格 [2] に準拠した 2 つの通信制御用チップを開発した。1 つ (*FIND-1*) は低速通信 (31.25kbps) を制御し [3]、他の 1 つ (*FIND-2*) は高速通信 (1Mbps/2.5Mbps) を制御する。両チップは低消費電力を特徴の一つとしている。

一般に、HDL による設計手法は、HDL 記述からタイミング検証までを考慮した場合、完全な同期設計に最も適している。しかし、一方でチップの低消費電力を実現するためには、完全同期設計を全面的に採用することには限界がある。今回我々は、同期設計の中に一部準同期設計を採用し両チップの低消費電力を実現した。

本稿では、2 つのフィールドバス通信制御用チップのアーキテクチャ、特徴、設計の概要について述べる。

2. フィールドバスの位置付け

図 1 にフィールドバスの位置付けを示す。

フィールドバスとは、“従来の 4~20mA のアナログ通信に代わる、インテリジェントなフィールド機器と上位コントロール機器とを結合する、デジタル、双方向、マルチドロップな通信路”を指す。

フィールドバスには H1 と呼ばれる低速フィールドバス (31.25kbps) と H2 と呼ばれる高速フィールドバス (1Mbps/2.5Mbps) とが存在する。両バスはそれぞれ *FIND-1* および *FIND-2* によって制御される。

3. チップ概要

3-1. 特徴

2 つのチップの特徴を表 1 および表 2 に示す。

3-2. アーキテクチャ

FIND-1 のブロック図を図 2 に、*FIND-2* のブロック図を図 3 にそれぞれ示す。

FIND-1 は、大きく分けて物理層部とデータリンク層部とから成る。物理層部にはデジタル PLL 内蔵のマン

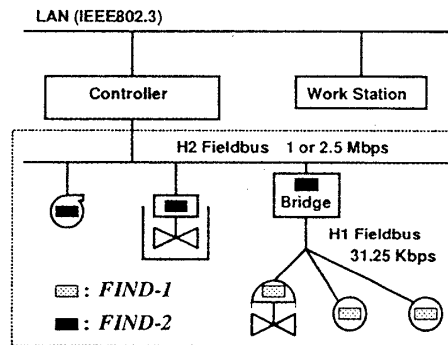


図 1: フィールドバスの位置付け

チェスタエンコーダ、デコーダが含まれている。データリンク層部の FCS (Frame Check Sequence) ジェネレータおよびチェッカは、それぞれ FCS の生成と付加および FCS の照合と削除を制御する。また、*FIND-1* は 8 ビット系プロセッサに接続できるホストインタフェースを有している。

FIND-2 は、*FIND-1* とほぼ同一の送受信部を有するが、メディアの二重化のため、同じ受信ロジックを 2 組搭載している。*FIND-2* は、上位ホスト用とデータリンク制御用の 2 系統のプロセッサインタフェースを有する。これらのインタフェース間は割り込みと専用のバッファを用いて自由に通信できる。*FIND-2* とデータリンク制御プロセッサとのチップセットによって、データリンク層のプロトコルの核になる部分が制御される。また、*FIND-2* は、高速なフレームハンドリングを可能にするという目的で内部に共有メモリを実装している。

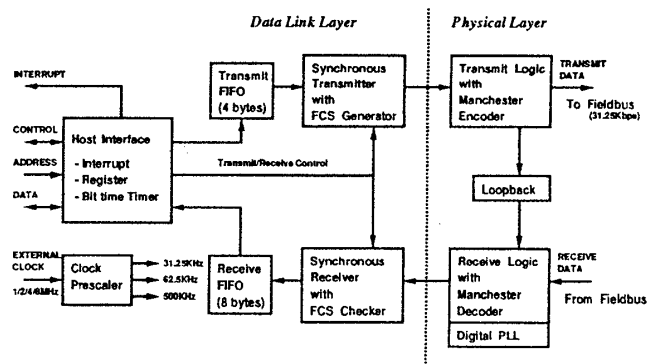


図 2: *FIND-1* ブロック図

*Development of Fieldbus Chips by using HDL(1) -the Outline of the Chips-

†Katsuyuki Shimada, Fumihiko Kobayashi, Satoru Ikeda, Satoru Natsui, Naoki Sano, Norio Kubo

‡EDA Development Center, Yokogawa Electric Corporation

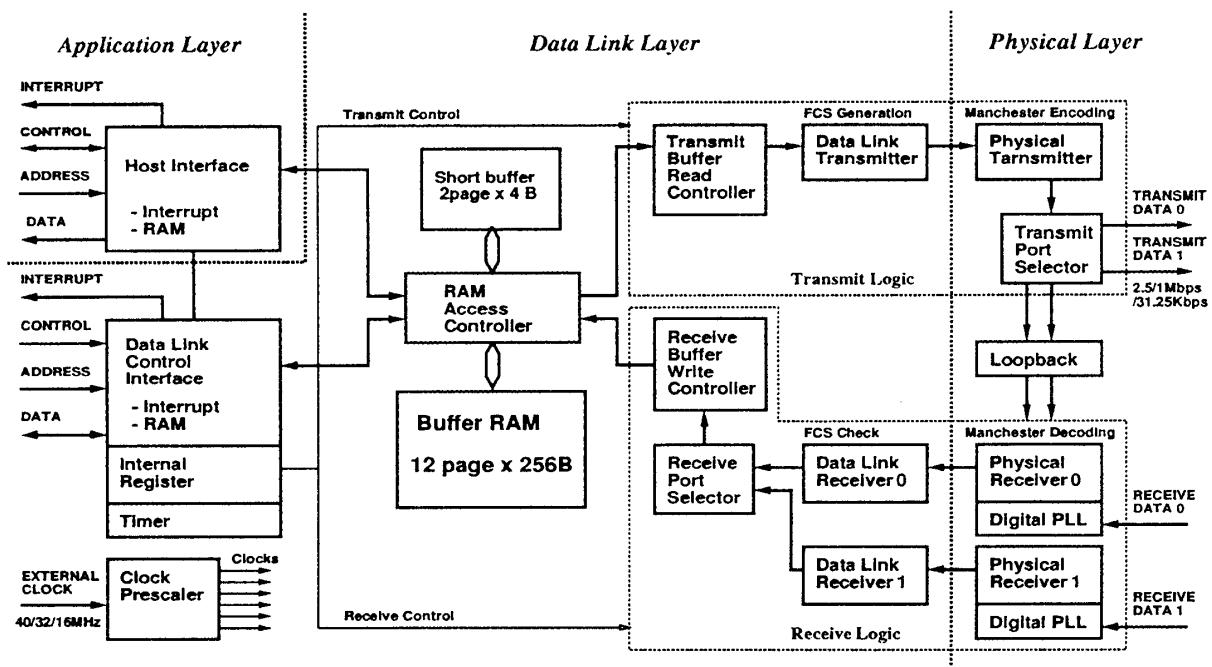


図 3: FIND-2 ブロック図

表 1 FIND-1 の諸元

プロセス	0.8 μm CMOS ゲートアレイ
パッケージ	44 ピン PLCC
動作周波数	1/2/4/8MHz
故障検出率	96% (テストベクタ数 約 50000)
ゲート規模	約 8000 ゲート
ソース記述	HDL(約 6300 行)
特徴、機能	<ul style="list-style-type: none"> ・ 伝送速度 : 31.25Kbps ・ 8 バイト受信, 4 バイト送信 FIFO ・ ジャバタイマ ・ 内部および外部ループバック機能
開発期間	'92/11 月より 16 週間で ES 入手

表 2 FIND-2 の諸元

プロセス	0.8 μm CMOS セルベースアレイ
パッケージ	100 ピン QFP
動作周波数	16/32/40MHz
故障検出率	91% (テストベクタ数 約 90000)
ゲート規模	約 25 万トランジスタ (62500 ゲート)
ソース記述	HDL(約 15000 行)
特徴、機能	<ul style="list-style-type: none"> ・ 伝送速度 : 2.5(1)Mbps/31,25Kbps ・ 共有メモリ ・ インタフレームギャップの制御 ・ メディア二重化対応 ・ プロセッサ間通信機能 ・ 内部および外部ループバック機能
開発期間	'93/7 月より 21 週間で ES 入手

4. 準同期設計

フィールドバスの通信制御用チップは、低消費電力であることが必須である。

今回、我々はチップの低消費電力を実現するために同期設計を基本とする設計手法の中に一部準同期設計を採用した。ここでいう準同期設計とは恒常的にクロックを与える代わりに必要な時にのみクロックを供給する手法である。

同手法を用いることによって我々は、FIND-1 では 3mW(5V、1MHz)、FIND-2 では 200mW(5V、40MHz) という低消費電力を得ることができた。

5. おわりに

独自のトップダウン設計手法を用いて、フィールドバス通信制御用チップを開発した。準同期設計を採用することで、チップの低消費電力を実現することができた。

今後は、さらに低消費電力の通信制御用チップ、CPU 内蔵型の通信制御用チップなどの開発を検討している。

参考文献

[1] 佐野、久保他：“ASIC 設計・デバッグサポートシステム CEEDS-ASIC”、信学技報 VLD93-29, pp.17~24, (1993-7)
 [2] ISA-S50.02-1992, Standard : Fieldbus Standard for Use in Industrial Control Systems Part2 : Physical Layer Specification and Service Definition
 [3] K.Shimada, S.Natsui, N.Sano, N.Kubo : 31.25KBPS Fieldbus Communication Controller Chip Based on HDL ISA, 1993 #93-465 1058-8655/93, pp.39-46