

## 3層チャネルレスSOGのための高速配線手法

3C-2

城田 博史、高橋 一浩、寺井 正幸

三菱電機(株) システムLSI開発研究所

### 1. はじめに

現在、ASICではPNのトランジスタペア列を隙間なく敷き詰めたCMOS SOG(Sea Of Gates)が主流になっている。SOGでは、予め用意されたセルを配置し、セルの端子間を配線する。SOGのセルには、マクロセルとメガセルの2種類ある。マクロセルは高さがトランジスタペアの高さと等しく、トランジスタペア列に沿って列状に配置される。メガセルはRAM等のように複数列のトランジスタペアを含む様々なサイズのセルである。以降、マクロセルのことを単にセルと呼び、マクロセルの列をセル列と呼ぶ。3層配線SOGでは、このセル列間に殆ど隙間がないチャネルレススタイルでレイアウトされるのが一般的である。

これまで幾つかのSOG配置配線ツール[1][2]が報告されているが、いずれのツールにおいても配線手法としてメーブルータ[3]に基づくgeneral area routerを用いている。general area routerは汎用的な配線モデルを取り扱え、チャネルレスレイアウトに適しているが、処理時間が非常に大きい。代表的な市販ツールでもgeneral area routerを用いており、例えば400K raw gate規模程度の大規模なSOGチップのレイアウトには30時間以上も要している。しかも、チップの設計過程において配置配線ツールは複数回実行される。SOGの特長は短期間でチップを開発できる点にあり、配置配線ツールの処理時間を短縮する必要がある。

本稿では、チャネルレスレイアウトにおいて初めてチャネルベース配線手法を適用した高速な新配線手法を提案する。チャネルルータ[4]等のチャネルベース配線手法は、メーブルータに比べて高速だが、これまでチャネルレスレイアウトには適用できなかった。これは、チャネルレスレイアウトでは、(a)配線チャネルが存在せず、又、(b)端子が様々な層、位置でセル内に定義されるため、端子の層、位置を限定する従来のチャネルベース配線手法[5]では取り扱えなかったためである。本手法では、(a)配線チャネルが無い場合でも、隙間のないセル列間に容量0の配線チャネルを仮定し、かつ、(b)スタブルータを用いて様々な層、位置に定義された端子をセル内の特定層に割り付けることにより、2チャンネルモデルに基づく独自のセル上配線アルゴリズム[6]を適用する。以下では、本手法のレイアウトモデルとアルゴリズムの概要を説明し、チャネルレスSOGにおける有効性をSOG実品種とベンチマークを用いた実験結果により示す。

### 2. チャネルレスSOGレイアウトモデル

本手法で対象とするSOG(図1)は、3層の配線層(M1,M2,M3)を使用し、M1,M3層は水平方向、M2層は垂直方向に配線方向を限定するHVHモデルを用いる。チップ上には配線のた

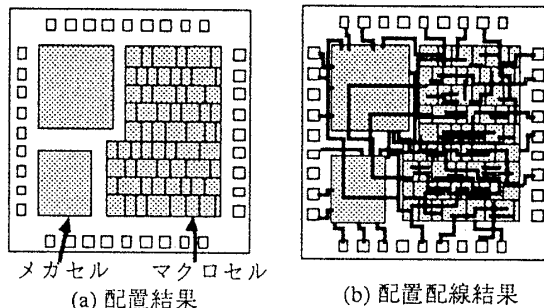


図1 SOGの例

めの格子線が設けられ、水平方向格子線をトラック、垂直方向格子線をコラムと呼ぶ。メガセル、及びマクロセルのセル内配線にはM1層を用い、M1層で配線しきれない場合にM2層も用いる。セルの端子は、ポリシリコン(P)ゲートとセル内配線の集合からなり、P,M1,M2層でセル内の任意位置に矩形で定義される。

### 3. チャネルベース配線アルゴリズム

本手法は、(1)スタブルータ、(2)概略配線、(3)詳細配線から構成される。(1)スタブルータでは、様々な層で定義された端子をM2層の格子点(以降、ピンと呼ぶ)と対応付け、結線する。各ピンはセル内の各コラム上に高々1つしか存在しないように設定される。セル列内で端子間を結線できる場合はこのスタブルータにおいて結線する。(2)概略配線では、幹線(チャネル内での結線要求を水平線分で表したものを)をチャネルへ割り付けることにより概略配線経路を決定する。特に、本手法では隙間のないセル列間にも容量0の配線チャネルを設定し、幹線を割り付ける。この容量0のチャネルに割り付けられた幹線は、(3)詳細配線において全てセル上に再割り付けされ、セル上で配線される。この結果、容量0のチャネル内には配線線分が置かれず、チャネルレスレイアウトを実現できる。詳細配線には、独自の2チャンネルモデルに基づくセル上チャネル配線アルゴリズム[6]を用いることにより、セル上領域を高密度に配線し、容量0のチャネル上に割り付けられた幹線を全てセル上で配線することができる。又、このセル上チャネル配線アルゴリズムでは幹線割り付け制約[6]を考慮することによりセル内のM2層端子、即ちスタブルータの出力するピンを扱える。以降では、この2チャンネルモデルを用いたセル上チャネル配線の概要について説明する。

### 4. セル上チャネル配線アルゴリズム

セル上チャネル配線アルゴリズムとは、(1)チャネルに割り付けられた幹線の一部または全部を隣接するセル上領域で配線(セル上配線)し、(2)残された幹線をチャネル内で配線するものである。(2)チャネル内配線には、3層に拡張したyoshimuraのルータ[4]を用いる。以下では上記(1)のセル

上配線について説明する。

本セル上配線では、2つのチャンネルとその間のセル上領域を対象とする2チャンネルモデルを用いる。図2に示すように、Rをセル上領域、C、C'をRに隣接するチャンネル、T(T')を概略配線によりC(C')に割り付けられた幹線の集合とする。セル上領域RではM2,M3層のみ、配線チャンネルC,C'では3層全てを配線に使用し、端子はスタブルータにより必ずセル内のM2層で定義されるとする。まず、TUT'の中からセル上領域Rに配線する幹線の集合Pを決定した後、Pに含まれる幹線をセル上領域のトラックへ割り付けて配線する。集合Pは、「TUT'の中から幹線を一本選択し、選択された幹線をPに加えても、Pに属する全ての幹線をR上のトラックへ割り付けられると判断した時、これをPに加える」という処理を繰り返すことにより決定する。幹線をR上のトラックに割り付けられるかどうかは、幹線間の垂直制約[4]、水平制約[4]と幹線割り付け制約[6]から判断する。幹線割り付け制約はTに含まれる幹線を割り付け可能なセル上トラックの範囲を示す。この幹線割り付け制約を導入することによりセル内に定義されたM2層端子を取り扱える。

2チャンネルモデルを用いることで、従来のセル上チャンネル配線[5](1つのチャンネルとそれに隣接する2つのセル上領域からなるモデル)と比べて高密度に配線できる。主な理由は2つある。(a)端子がセル列の境界上でなくセル列内にあるため、セル列上に端子を有しない幹線もセル上領域に割り付けられる。(b)隣合うチャンネル間では最も混雑したコラムが異

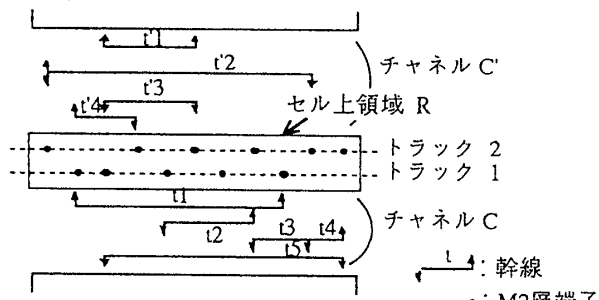


表1 HGALOPによるSOGの配線結果

	A	B	C	D	E
ベースアレイサイズ [raw-gates]	250K	400K	400K	1M	30K
マクロセル数	23,625	19,254	27,023	54,703	6,574
メガセル数	14	0	7	8	0
信号数	26,509	36,318	37,815	88,797	10,840
CPU時間 [時間]	0.6	1.2	0.9	7.1	0.2
配線不能本数	0	0	0	0	0

表2 市販ツールによる表1と同じSOGの配線結果

	A	B	C	D	E
CPU時間 [時間]	22.9	24.0	30.9	22.8	2.7
配線不能本数	0	0	0	0	0

表3 HGALOPによるPRIMARY 1-GAの配線結果におけるチャンネル幅、使用トラック数

チャンネル番号	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27
チャンネル幅	1	0	0	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	0	1	1	0	0	0	0
M1,M3層での使用トラック数	1	0	0	1	0	0	0	0	0	0	0	0	0	0	1	2	1	2	1	0	0	2	1	0	0	0	0

なる場合が多い。本モデルでは、隣合う2つのチャンネルを同時に配線対象とする為、両者の最も混雑したコラム上の幹線をそれぞれ有効にセル上領域へ割り付けて配線することができる。

5. 評価

本手法はC言語を用いてSPARCserver490(22MIPS)上に実装し、当社製3層SOG配置配線ツールHGALOPへ組み込んで評価した。HGALOPによるSOG回路の配線結果を表1に示す。全回路において、配線不能無しで配線完了した。特に回路Eではゲート使用率が98%と高い(完全な)チャンネルレスレイアウトを実現している。HGALOPの配線結果(表1)を得た時と同じ配置結果に対し、市販ツールを用いて配線した結果を表2に示す。HGALOPは市販ツールと比べて、3~38倍高速であった。回路によって処理速度の比に幅がある。これは、HGALOPではチャンネルベース配線アルゴリズムで配線できなかった信号をメーブルータで結線する為、配線混雑しメーブルータで結線する信号数が多くなると遅くなる為である。

次に、MCNCのベンチマーク(PRIMARY1-GA)における配線結果を表3に示す。表中のチャンネル幅は、全信号を配線するのに必要な配線チャンネルの高さである。処理時間は45秒であった。殆どの配線チャンネルに配線線分を置いておらず、本ルータによりチャンネルレスレイアウトを生成できることがわかる。ただし、実験では以下の仮定を行なった。(1)M1,M3層の配線ピッチは等しい。(2)セル上領域では、M2,M3層のみ使用する。(3)セル上領域でビアを許す。(4)端子は各セルの中心トラックに存在する。

6. 結論

隙間のないセル列間に容量0の配線チャンネルを設けることにより、チャンネルベース配線手法を3層チャンネルレスSOGへ適用し、市販ルータよりも平均20倍の高速化を実現した。HGALOPは高速なタイミング駆動min-cut配置プログラム[7]と本配線プログラムから成り、現在までに30以上のSOG実品種に適用している。

謝辞

本研究を企画され、御指導を戴いた当社 佐藤興二博士に感謝します。

参考文献

[1] A. Sangiovanni-Vincentelli et al., "ORCA: A sea-of-gates place and route system," 26th DAC, 1989.  
 [2] A. Fujimura, "Automating the layout of very large gate arrays," VLSI System Design, 1988.  
 [3] C. Y. Lee, "An algorithm for path connections and its applications," IRE Trans. Electron. Comput., EC-10, 1961.  
 [4] T. Yoshimura, "An efficient channel router," 21st DAC, 1984.  
 [5] J. Cong and C. L. Liu, "Over-the-cell channel routing," IEEE Trans. CAD, vol. CAD-9, 1990.  
 [6] M. Terai, K. Takahashi, K. Nakajima and K. Sato, "A new model for over-the-cell channel routing with three layers," ICCAD 1991.  
 [7] M. Terai, K. Takahashi and K. Sato, "A new min-cut placement algorithm for timing assurance layout design meeting net length constraint," 27th DAC, 1990.