

ビジネスコンピュータアーキテクチャの動作モデルに基づく定量的分析

2C-6

別所 雄三 郡 光則 下間 芳樹

三菱電機（株） 情報システム研究所

1. はじめに

近年、メモリシステム性能の重要性が増加し、メモリアクセスに伴うオーバーヘッドを軽減する技法として、ストアバッファ、フェッチミスバイパスなどの必要性が高まってきた。しかし、複雑な構成を持つ計算機では、1回のメモリアクセスオーバーヘッドの全体性能に与える影響を評価するのは容易ではない。

本稿では、動作モデルを開発し、マイクロプロセッサをベースとした、ビジネスコンピュータのメモリシステムを中心とする定量的分析を行なった。

2. 性能評価システム

本稿の定量的分析には、性能評価システム(図1)を利用した。性能評価システムはトレース採取ツールと動作モデルからなり、当社ビジネスコンピュータ[1]の構成がベースになっている。

トレース採取ツールは図2のような構成をとり、1命令毎に割り込みを入れて情報を採取する。また、本ツールは、OSを含む全ての命令のトレース採取が可能である。

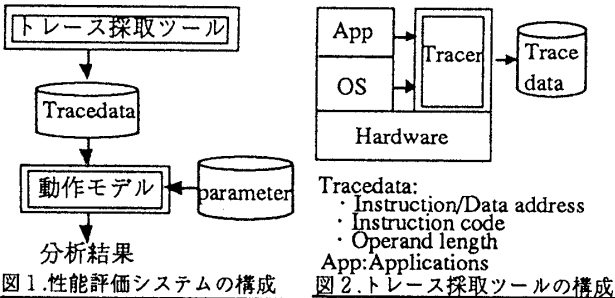


図1.性能評価システムの構成

図2.トレース採取ツールの構成

3. 動作モデル

動作モデルは、Trace-driven simulationの手法により各構成要素全体を包含する対象ハードウェアのアーキテクチャレベルの評価を行なう。

動作モデルは、以下の特長を有する。

- ・パラメータによるハードウェア構成の変更が可能
- ・対象ハードウェアを性能評価に必要な部分に限りモデル化し、シミュレーションの高速化を実現

A Quantitative Analysis for Business Computer Architecture based on A Behavior Model
 Yuzo Bessho, Mitsunori Kori and Yoshiki Shimotsuma
 Computer and Information Systems Laboratory,
 Mitsubishi Electric Corporation

動作モデルの開発により、全体性能の定量的な分析を可能にした。

4. 評価例

4. 1. 評価対象の計算機構成

分析した計算機のマイクロプロセッサ記憶階層を図3に示す。

上記の計算機は、次の特長を有す。

2階層キャッシュ(3階層記憶)構成を採る。1次データキャッシュは、4wayセットアソシアティブでライトスルー方式を採用し、ラインサイズは32Bである。2次キャッシュはダイレクトマップでコピーバック方式を採用し、ラインサイズは64Bである。

プロセッサバスは8バイトのデータ幅を持つ。

上記の計算機は4エントリ(8B*4)のストアバッファを備える。これは、通常ストアがプロセッサバスの優先順位が最も低いために設けられた。

フェッチミス時の最初の8Bが読み出せるサイクル数をフェッチミスサイクル数とする。評価対象の計算機は、3サイクル(最小2サイクル)であり、バースト転送は8B毎に1サイクルで読み出せる(3-1-1-1)。

フェッチミスバイパスは、キャッシュミス発生時に要求された8Bから先に読み出すことを可能にする。

ストアにはバースト転送はなく、3サイクルを要す。

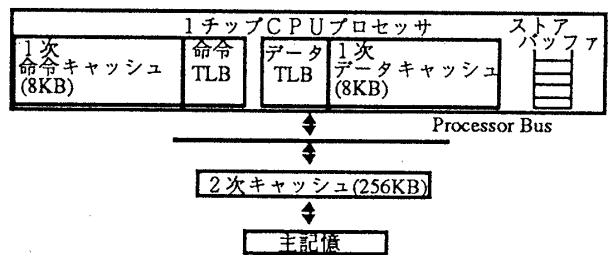


図3. 評価計算機のマイクロプロセッサ記憶階層構成

表1. 評価対象のトレースデータ

トレースデータ	処理内容
OLTP	オンライントランザクション処理
SORT	SORT処理
DHRY	ドライストーン

4. 2. 評価対象のトレースデータ

本稿の分析に利用したトレースデータとして、ビジネス処理を行なうOLTP、SORT、及びビジネス処理で

はないが比較のためにドライストーン(DHRY)を用いた(表1)。

キャッシュ容量とミス率の関係を図4、図5に示す(4way,ラインサイズ32B)。3種のトレースデータは図4より、OLTPはキャッシュミス率が高く、DHRYは低いことがわかる。これは、データキャッシュ(図5)にも同じことが言える。これらのキャッシュミス率は、SPECベンチマーク等と比較して非常に大きい[2]。

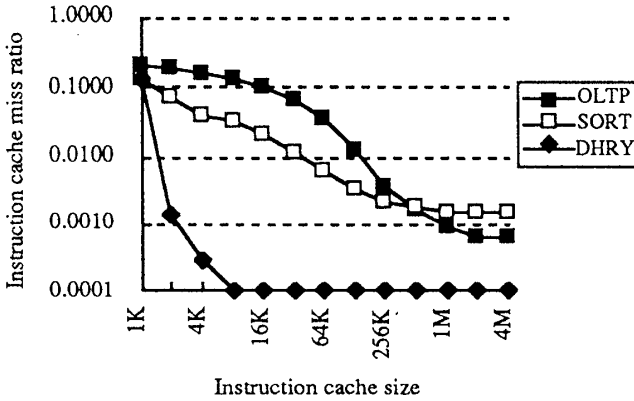


図4.命令キャッシュ容量と命令キャッシュミス率の関係

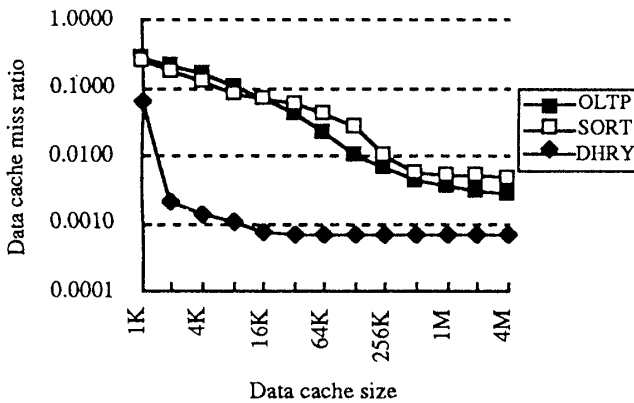


図5.データキャッシュ容量とデータキャッシュミス率の関係

4.3. 評価

評価例として、ストアバッファの効果、メモリウェイトサイクル数の性能に与える影響を紹介する。ストアバッファエントリ数を2から8に拡大した場合の効果を図6に示す。

キャッシュミス率が高いOLTPはエントリ数がある程度多くないと効果は少ない。SORTは中間的な傾向を示す。DHRYはキャッシュミス率が低いため、エントリ数が4程度で十分な効果がある。

2次キャッシュウェイトサイクル数の性能に与える影響を図7に示す。

2次キャッシュフェッチミスサイクル数が1サイクル増すごと(例えば3-1-1-1が4-1-1-1となる)に、OLTP

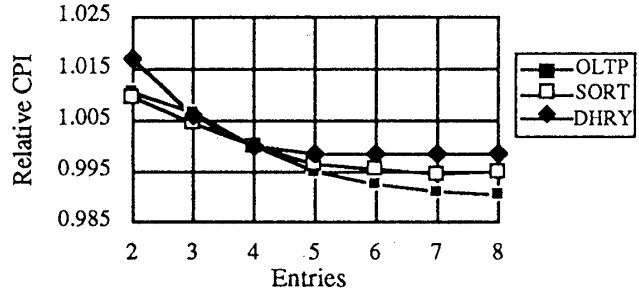


図6.ストアバッファ容量増加の効果

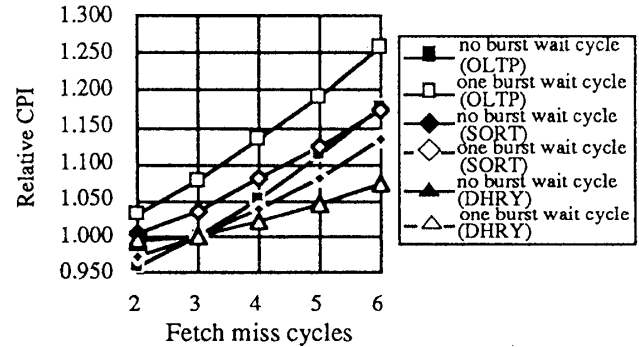


図7.2次キャッシュウェイトサイクル数の影響

はキャッシュミス率が高いため性能低下が大きい。DHRYはキャッシュミス率が低いので影響は少ない。バースト転送サイクルに1サイクルのウェイトが加わる(例えば3-1-1-1が3-2-2-2になる)と、OLTPでは、性能低下が大きい、DHRYは低下しないことがわかった。これは、DHRYは2次キャッシュへのアクセスの大部分はストアであり、バースト転送サイクルの影響を受けないからである。

本動作モデルの開発により、このような全体性能に与える影響の見積りが、感覚的ではなく、定量的に分析できる。また、ビジネス処理におけるメモリアクセスの特性を的確に把握できるようになった。

5. 今後の課題

今後は、動作モデルをマルチプロセッサにも対応させ、メモリシステムの定量的な分析を行なうことが課題である。

参考文献

- [1] Y.Saito, Y.Shimazu, et.al, A 1.71-Million Transistor CMOS CPU Chip with a Testable Cache Architecture, IEEE Journal of Solid-stateCircuits, Vol.28, No.11, pp1071-1077, Nov.1993
- [2] Jeffrey D. Gee, Mark D. Hill, Dionisios N. Pnevmatikatos, Alan Jay Smith, Cache Performance of the SPEC92 Benchmark Suite, IEEE Micro, Aug.1993