

教育用 32 ビット マイクロプロセッサ QP-DLX の 設計におけるレイアウト

1C-6

中川智水 岩井原 瑞穂 村上 和彰 安浦 寛人
九州大学 大学院総合理工学研究科

1 はじめに

我々は教育用 32 ビット マイクロプロセッサ QP-DLX の設計を行っている。†PARTHENON によって SFL 記述から論理合成し、生成されたネットリストから‡COMPASS でレイアウトおよびテストベクトル生成を行った。本稿では、QP-DLX のレイアウトについて述べる。

2 レイアウトの設計フロー

- (1) 回路図の修正 PARTHENON で生成されるネットリストには含まれていないリピータセルやパッドなどを付加した。またデータパス用のコンパイラで生成したレジスタファイルもここで付加した。
- (2) フロアプラン 各パイプラインステージをブロックとして分割した。その分割したブロックを一旦レイアウトして、だいたいの大きさを調べてから、その形状や配置する位置、端子の位置を入手によって決定した。
- (3) 配置および配線 決定したフロアプランにしたがって、ブロック毎に COMPASS を用いてほぼ自動で配置配線を行った。自動配線できなかった箇所は手動で配線を修正した。各ブロックはマクロセルとしてあつかい、全体の配線を施した。
- (4) レイアウト後の検証 手動で配線した箇所のデザインルールや配線遅延などを検証する。

3 仕様および設計環境

3.1 仕様

- (1) ライブラリは $0.8\mu\text{m}$ ルールのものを使用した。スタンダードセルライブラリとして VSC450、データバスライブラリとして VCC4DP3 を用いた。
- (2) パッケージとして BGA 224-001C を用いる。右の表にその仕様を示す。

Layout of the Education-Purpose 32bit Microprocessor QP-DLX
Tomomi NAKAGAWA, Mizuho IWAIHARA, Kazuaki MURAKAMI, Hiroto YASUURA
Department of Information Systems, Interdisciplinary Graduate School of Engineering Sciences, Kyushu University, Kasuga-shi, Fukuoka, 816 Japan; or e-mail to tnakagaw@is.kyushu-u.ac.jp.

†NTT の VLSI 設計システム

‡COMPASS Design Automation 社の VLSI 設計ツール群

ピン数	224 (うち電源ピン 32)
ボンディングフォーム	DGA224-001B
最小ダイサイズ	$7.99_{(mm)} \times 7.99_{(mm)}$
最大ダイサイズ	$10.99_{(mm)} \times 10.99_{(mm)}$

3.2 CAD ツール

COMPASS には次のようなツールが用意されている。

- (1) Logic Assistant : 回路のスキマティック入力
- (2) Chip Compiler : 自動レイアウト
- (3) Composer : 手動レイアウト
- (4) Datapath Compiler : データパスの自動生成

4 QP-DLX のレイアウト

4.1 レイアウトの方針

回路を適当に分割してレイアウトする場合は、その分割したブロックの形状及び端子の位置が適正でなければ無駄領域が生じるなどフロアプランの考慮に困難な点があるが、個々の自動レイアウトの時間は短くなるのでやり直しが比較的容易である。一方、1つのスタンダードセルエリアでレイアウトする場合には、細かいフロアプランは考えなくてすむが、配線領域が大きくなったり、未配線が生じたりしやすい。

ブロックに分割する際、分割の容易さや回路規模からパイプラインステージをブロックとした。その結果、パイプラインの影響が強くて、前後のステージとの信号線が多い。よって、フロアプランもパイプラインの流れを考慮した。また自動レイアウトはチャンネルルーティングは比較的容易に行えるが、ブロックルーティングは困難なので端子位置は大きくレイアウト時間を左右する。よって概略配置を決定したのち、ブロックの端子について位置を指定した。

4.2 レイアウトの経緯

最初のプロトタイプでは、1つのスタンダードセルエリアで自動レイアウトを行い、チップの面積は $8_{mm} \times 8_{mm}$ 程度であった。

割込み及び観測の機能がつけ加えられた version2 ではセレクトやバスドライバが増え、さらに配線領域も増えたことにもなって面積が $10_{mm} \times 10_{mm}$ を大幅に越えるようになった。1つのセルエリアでのレイアウトではアスペクト比を変えるほかは改善するのは困難なので、version2 以降では回路をブロックに分割した。

現在の version3 では、これまでスタンダードセルで設計していたレジスタファイルのレジスタの

部分を COMPASS 上のデータバスコンパイラを用いて設計した。これにより、チップ面積の半分を占めるほど大きかったレジスタファイルが小さなブロックになったため、フロアプランも変更した。

4.3 レイアウト結果

レイアウトの結果、チップの大きさは表1のようになった。表5に主なブロックの大きさを示す。また図5にチップのイメージ及びもととなったフロアプランを示す。フロアプラン通りにいかず、右上の辺りに空白が見られる。セル領域のコア面積に占める割合は約 56.7%であった。

表 1: QP-DLX の面積

チップサイズ	8.743 _(mm) × 8.162 _(mm)	71.360 _(mm²)
コアサイズ	7.223 _(mm) × 5.860 _(mm)	42.327 _(mm²)

5 HDL による設計とレイアウト

今回設計するにあたって、SFL というハードウェア記述言語 (HDL) を用いた。

SFL の記述においてレイアウトに影響を与えた点としては、モジュールの分割があげられる。SFL におけるモジュール構成がレイアウトのブロック構成にそのまま対応しているが、パイプラインス

テージをモジュールとして分割したためブロック間の配線が多くなってしまった。これは、各ブロックにおける端子位置の指定やブロック間配線の配線領域の見積りを困難なものにした。そこで無駄な信号線の整理やバス構成の変更を SFL 記述にもどって行なった。なお、論理合成において端子名が一部変化してしまうことも、端子位置を指定しづらくしたことの二因である。

また、バスタライバなど細かいブロックがたくさんあると無駄領域を生じやすいので、なるべくステージの中に取り込んでもらうように SFL 設計者に依頼した。

6 おわりに

教育用 32 ビットマイクロプロセッサ QP-DLX のレイアウトについて述べた。HDL 設計に際して、レイアウトまでの見通しが必要であり、そして集積度の高いレイアウトをするには自動レイアウトの性質をより知ることが重要であると思われる。

謝辞 COMPASS での設計に際し、数々の御助言をいただいた株式会社 LSI システムズの佐藤淳氏に深く感謝致します。

表 2: 主なブロックの面積

BLOCK	Width _(mm) × Height _(mm)	Area _(mm²)	Routing Factor	トランジスタ数	SFL の行数
IF stage	2.533 × 1.078	2.731	2.33	11289	324
ID stage	2.532 × 1.937	4.904	2.16	18666	728
EX stage	2.679 × 2.963	7.938	3.50	20847	808
MEM stage	2.389 × 1.792	4.281	1.36	17519	407
Register file	1.169 × 2.107	2.463	0.68	3185*	287
total	—	23.993	—	79668*	3521

*データバスコンパイラで生成したレジスタファイルを除く

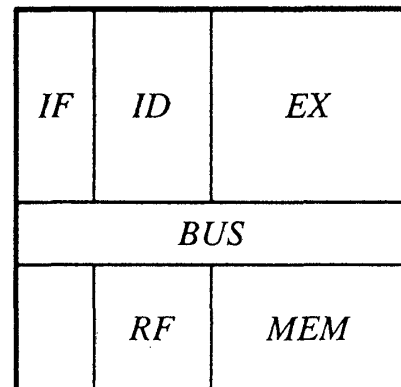
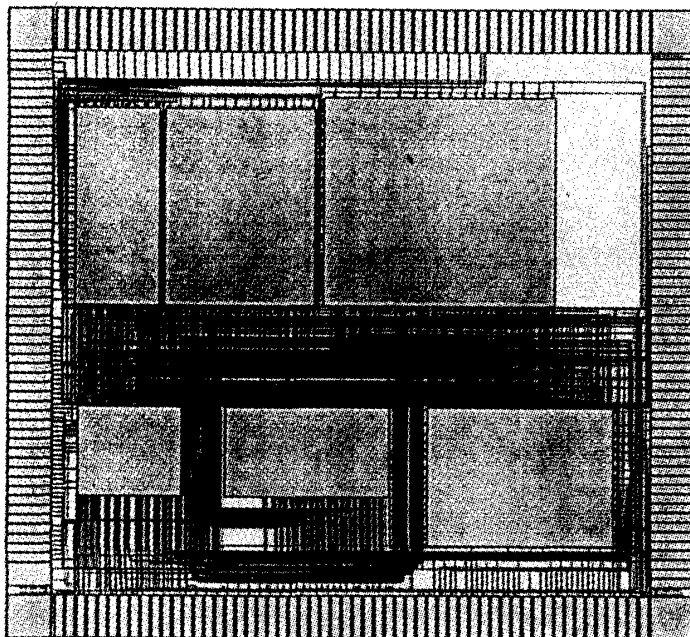


図 1: QP-DLX のレイアウト