

バス結合型DSPによる信号処理

7B-6

植原 長次 尾田 孝典 黒川 恭一 松原 隆 古賀 義亮

防衛大学校 情報工学教室

1. はじめに

各種信号処理において高速処理が要求される場合がある。高速化の1つの方法として並列処理システムがある。本報告は分散並列決定方式のバス結合方式を用いた複数個のDSPによるFFT、デジタルフィルタなどの信号処理の高速化について述べる。

まずシステムのハードウェア構成について説明し、次に、このハードウェアを用いた信号処理への応用としてFFT、デジタルフィルタの実施例を示す。

2. ハードウェア構成

本システムは、複数のDSPをバス結合した並列処理システムである。システムの概要を図1に示す。各PEは、図2に示すように32ビットDSP(μPD77240)を核とし、32KワードのRAM(μPD43258)×2、1チップのPAL上に構成した6ビットローカルアービタ、インタフェース回路等によって構成される。このDSPはデータとインストラクションを別々のRAMに格納するハーバード方式である。1枚のボードに2組のPEを組み込んである。

システムバスは、32ビットデータバス、15ビットアドレスバス、21本のコントロールと6ビットアービトレーションバスから構成されている。コントロールは、ホストと各PE間のハンドシェイク信号等から構成される。アービトレーションバスには、各PEのローカルアービタが接続され、これらによりシステムのアービタを構成する。図3に試作したボードの外観を示す。

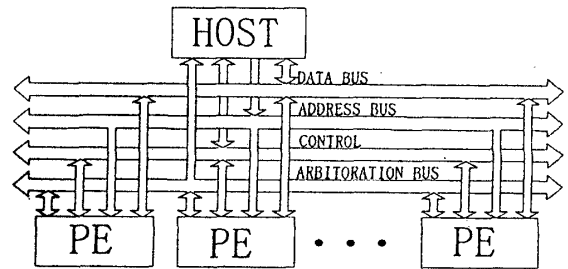


図1 システムの概要

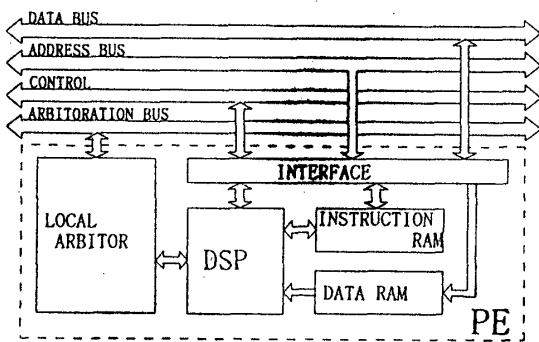


図2 PEの概要

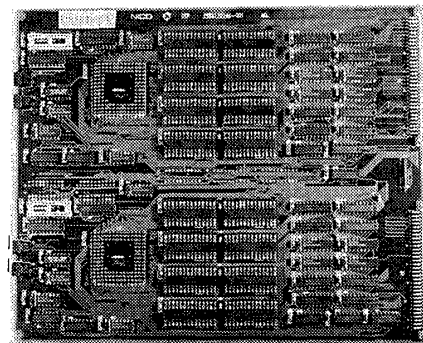


図3 ボードの外観

Signal Processing by Bus Connected DSP's

Choji Narahara, Takanori Oda, Takakazu Kurokawa, Takashi Matubara and Yosiaki Koga

Department of Computer Science, National Defense Academy

1-10-20 Hashirimizu, Yokosuka 239, Kanagawa

### 3. 信号処理への応用

#### 3.1 FFT

##### 3.1.1 処理手順

処理手順の概要を次に示す。まずホスト上に用意した各PE用のFFTのインストラクション及び入力データをインストラクションRAM及びデータRAMに転送する。次にDSPのインタラプトをかけることにより、イニシャルロードされたインストラクションに従って各PEは独立に信号処理を行う。各PEには、ホストとのハンドシェイク用にポート（フラグポート）を設けてあり、各PEは処理が終了すると、フラグポートをアクティブにする。ホストはPEの処理が終了した時点でPEのデータRAMの内容を読み込み、ホストで結果を統合して解析を行うと同時に次の処理を実行させる。

##### 3.1.2 結果

雑音ののっているパルス信号にFFT処理を行った結果を図4に示す。各PEは512ポイントFFTを約9.2msecで実施できた。PE1とPE2は同一データを独立に処理しているためPEの個数に比例して処理時間を短縮することができる。

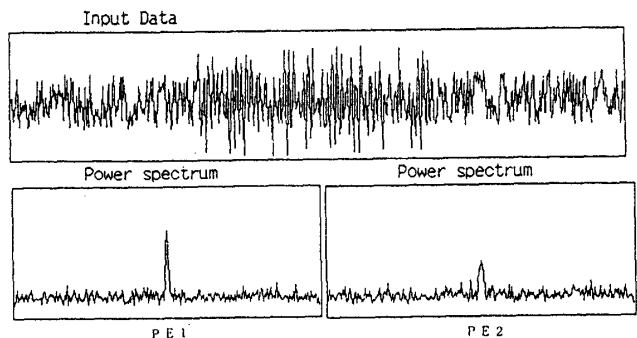


図4 FFT解析結果

#### 3.2 デジタルフィルタ

##### 3.2.1 処理手順

設計は、2次のBPFを用い、一方のPEで低域側のBPFの処理、他の一方のPEで高域側のBPFの処理を担当するようにした。処理手順はFFTの場合と同様であるが、特性の異ったフィルタ係数を対応する各PEのデータRAMに転送し、ホストから入力データを送信している。

##### 3.2.2 結果

サンプリング周波数20KHz、帯域幅0.2KHzのフィルタにインパルスを入力した場合のPE1、PE2の出力をFFTにかけた結果を図5に示す。

処理の理論時間は1サンプル値当たり約6μsecと高速に並列処理でき、信号の周波数成分の検知等に有効であると考えられる。

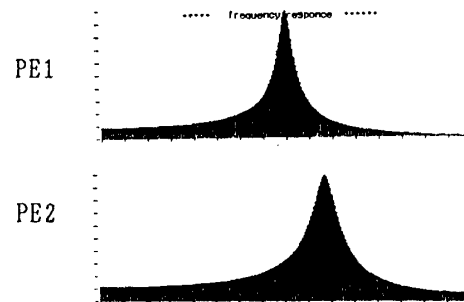


図5 周波数特性

### 4 おわりに

本報告ではバス結合型DSPを使用した信号処理の基本的な処理方法について示した。今後は、システムの拡張とともに高速で処理するための信号処理方式の開発を考えている。

#### 参考文献

- 1) 高橋、黒川、古賀：“バス結合方式による並列処理システムの提案”，1993年電子情報通信学会秋季大会予稿集，D-71，(1993)。
- 2) 今井聖著：“デジタル信号処理”，産報出版。