

回路抽出による大規模論理回路への トランスダクション法の適用

5B-8

石垣博康 上林弥彦

京大工学部 京大工学部

1 まえがき

計算機を用いた自動論理回路合成において、回路変換による論理回路最適化手法は非常に重要な技術である。また、計算機能力の飛躍的向上と、効率の良い論理関数表現手法の開発(SBDD)により、ブールの手法が現実的に用いることが可能となってきた。

そのような手法の中で、1970年代にイリノイ大学において開発されたトランスダクション法は、許容関数と呼ばれる回路内の冗長性を表す概念を用いて、面積や遅延など要求に基づいて回路変換を行なうものである。開発当時は、計算機能力など様々な制約のため実用性が示されなかったが、最近ランダム論理については非常に良好な結果を得られることが分かり、日米の数社において実用化されている。

しかし回路が大規模化するにつれ、回路全体を最適化の対象とする手法は、記憶容量、計算時間の両面から困難となる場合が多い。そこで、最適化の際に回路全体ではなく、部分回路に対する手法を適用するような手法が求められてきている。我々はこれまでに、ある部分回路をより段数の小さい回路へと置き換えることにより遅延最適化を行なう手法^[1]を提案してきたが、面積削減に対する手法については開発を行なってきたいなかった。また^[1]の手法は、選択される部分回路が比較的小さいため、大域的な回路変換が行なわれない。他では、文献^[2]において、トランスダクション法のアルゴリズムの変更による大規模回路への適用法が提案されている。

本発表では、遅延最適化と同時に面積減少も行なうようなトランスダクション法を、現実的な計算時間と記憶容量の範囲内において、大規模回路に対して適用する手法を提案する。本手法は、論理関数と許容関数の計算を、その関数のBDDのサイズ(ノード数)によって制限することによって計算範囲を限定し、高速に処理を行なうことを可能とするものである。また本手法による実験を行ない、かなり大規模な回路を短時間で処理することが可能であり、得られる解の品質も良好であることを示す。

2 基本的事項

本章では、本手法で用いるトランスダクション法の基本的な概念について述べる。ここでは論理回路を構成するゲートとして、NORゲートのみを扱っているが、一般化は容易であると考えられる。

2.1 許容関数

ある入力端子、ゲートまたは結線の実現する関数 f を、論理関数 f' で置き換えても回路全体としての出力に変化がないとき、そのような f' を入力端子、ゲートまたは結線の許容関数(Permissible Function)であるという。ま

たそのような許容関数の集合の中で同時に置き換え可能なものからなる部分集合を CSPF(Compatible Set of Permissible Functions)と呼ぶ。

許容関数集合は、入力に対して $0 \cdot 1 \cdot *$ の3値をとるような関数として表すことができ、 n 個の外部変数 $x_0 \sim x_n$ に対する CSPF を $G(x_0, x_1 \dots x_n)$ で表すこととする。本稿では、許容関数 G を表現するために共有二分決定グラフ(SBDD)^[3]を用いているが、その3値を表すために一つの許容関数に対して二つのSBDDを使用している。

2.2 許容関数集合による回路変換

ある回路中の結線の許容関数集合に恒偽関数が含まれるとき、この結線は削除可能(Disconnectable)である。また、ある結線をゲート v に接続した時の v の実現する関数が v の許容関数集合に含まれる時、この接続によって回路の出力は変化しない。ゲート v_j の出力をゲート v_i の入力に接続可能(Connectable)である条件は、以下のように表現することが可能である。

$$G^{on}(v_i) \cap f^{on}(v_j) = \phi \quad (1)$$

$$v_i \notin TFO(v_j) \quad (2)$$

ここで $TFO(v_j)$ は、ゲート v_j から出力端子側に向けて到達可能なゲート集合である。

2.3 手続き Connectable/Disconnectable

ここでは、上述した条件を用いた回路変換手法 Connectable/Disconnectable(C/DC)のアルゴリズムの概要を示す。

step 1 各ゲートの出力関数を計算する。

step 2 各ゲートを出力端子に近い方から順序付けする。

step 3 step 3.1~3.4をファンイン制限付きで、step 2で求めた順序で適用する。

step 3.1 ゲートの入力結線の CSPF を求め、冗長な結線があれば切断する。

step 3.2 このゲートに接続可能なゲートを回路中から探索し、接続する。

step 3.3 このゲートの入力結線の CSPF を再計算し、冗長な結線を取り除く。

step 3.4 もしファンイン制限を超えていれば、step 3.1が終了した状態の入力結線に戻す。

step 4 step 1~3を回路コストの改良がなくなるまで繰り返す。

3 回路抽出によるトランスダクション法

本章では、部分回路の抽出による大規模回路へのトランスダクション法の適用手法を提案する。

3.1 論理関数の計算範囲の制限

前章において述べた手続き C/DCに必要なものは、回路における論理関数と、許容関数集合である。これらを表

現するためにここでは BDD を用いているが、ある関数同士の演算はそれらを表す BDD のグラフのサイズにほぼ比例することが分かっている。また、回路内の各ゲートにおける論理関数を表す BDD のグラフサイズは、回路の大部分においてはそれほど大きくなく、グラフサイズが非常に増加する場合は、回路内の特定の部分についてのみ増加率が大きくなっている事が多いと実験的に観察することができた。

そこで本手法では、まず手続き C/DC における step 1 において、その論理関数の BDD のグラフサイズ (ノード数) がある閾値を超えるゲートについては計算を行わないという制限を適用する。この制限を適用されたゲート、及びその TFO は論理関数を保持しないため、論理変換の適用外となり、論理関数が計算されている部分回路のみに対し step 2 以降を適用する。

3.2 許容関数における BDD サイズの制限

次に論理関数が計算されている部分回路に対し、step 3 において CSPF を求めるが、この時も BDD のグラフサイズに対する制限を設ける。

(1) 入力結線に対する CSPF のサイズの制限:

まず step 3.1 において、ゲートに対する入力結線の CSPF が計算されるが、ある結線 c_i の CSPF の BDD サイズが与えられた閾値を超えた場合、 c_i がつながっているゲートまたは外部入力論理関数がその CSPF として選択される。

(2) CSPF の伝搬に対する BDD サイズの制限:

step 3 において、あるゲート v_i の CSPF は、その出力結線の CSPF の積として与えられるが、それを表す BDD のサイズが与えられた閾値を超えた場合、 v_i の論理関数がその CSPF として選択される。すなわち、出力側からのドントケアの伝搬は v_i に対しては行なわれない。

以上により、回路内の論理関数及び CSPF はある閾値以下となり、C/DC 条件の判定は短縮でき、また保持する SBDD サイズはそれほど増加することはない。

4 実験結果

上述した手法に基づいて、トランスダクション法を用いた論理回路最適化プログラムを C 言語を用いて作成し、SPARC STATION 10 上で実験を行なった。この時、生成される回路はファンインが 4 に制限され、ファンアウトの制限はされていない。また BDD のグラフサイズ (ノード数) の閾値は、100 としている。

初期回路としては、LGSynth'91 多段ベンチマーク回路をファンイン 4 までの NOR ゲートにマッピングしたものを用いた。なお本プログラムの SBDD 処理は、NTT の湊真一氏による SBDD パッケージを使用している。

表 1 に、このプログラムによる論理回路の最適化結果を示す。表中の In は回路の外部入力数、Out は外部出力数を表し、CPU 時間の単位は秒で表されている。また各回路は、ゲート数 / 結線数 / 段数、で表されている。

表には、LGSynth'91 多段ベンチマーク回路について行なった実験の内、使用が推奨されている代表回路 12 個を含む一部の回路についての結果を示している。

この結果を見ると、入力数やゲート数がかなり大規模な回路に対しても、非常に短時間で処理を行なうことが可能となっていることが分かる。また、生成される解の品質も

表 1: 実験結果

回路	In/Out	初期回路	適用結果	CPU
C1355	41/32	619/1137/27	575/1065/25	14.7
C1908	33/25	718/1335/37	535/1118/32	41.9
C2670	233/140	1017/1893/26	888/1714/25	338
C3540	50/22	1161/2426/41	1081/2355/41	208
C432	36/7	209/421/25	155/331/21	8.9
C5315	178/123	1929/4006/46	1567/3504/40	1995
C6288	32/32	2400/4752/123	2326/4804/119	194
C7552	207/108	3044/5672/38	2407/4997/35	5049
alu4	14/8	720/1441/42	563/1369/37	144
apex6	135/99	831/1497/19	777/1553/19	388
apex7	49/37	268/501/17	216/434/13	15.5
comp	32/3	176/306/24	133/245/18	19.7
dalu	75/16	1908/3899/38	1142/2769/23	1243
des	256/245	4679/10070/20	4217/9038/20	5373
i10	257/224	2598/5319/54	2209/4704/47	2980
i8	133/81	2294/5659/14	1666/4039/14	304
lal	26/19	148/301/9	106/216/8	5.6
pair	173/137	1668/3264/26	1466/3116/22	1112
rot	135/107	676/1302/25	582/1175/25	167
t481	16/1	3393/8144/20	1941/4514/20	821
term1	34/10	391/869/14	243/567/10	42.0
ttt2	24/21	215/486/9	163/379/9	13.7

(ゲート数 / 結線数 / 段数) (秒)

比較的良好であり、処理時間と解の品質とのトレードオフとしては充分なものが得られていると考えられる。

5 あとがき

本稿では、論理関数と許容関数の BDD サイズ制限による、大規模回路向けのトランスダクション法の適用手法を提案した。この手法により、かなり大規模な回路を短時間かつ良好な解の品質で、最適化することが可能となった。

今回は、外部入力側から論理関数の計算を行ない、最適化する部分回路を選択したが、今後は回路内の任意の部分回路を抽出し、トランスダクション法を適用することにより、回路全体を充分最適化するような手法の開発を行っていく予定である。

謝辞

本手法について有益な御示唆を頂いたイリノイ大学の室賀三郎教授、御討論下さった室賀研究室の皆様、また SBDD パッケージの使用を快諾していただいた矢島脩三教授、ならびに矢島研究室の皆様へ深謝致します。

参考文献

- [1] 石垣博康, 澤田直, 上林弥彦: 最長経路の分解と置換による遅延最適化, 情報処理学会第 47 回全国大会, 4H-4, 1993.
- [2] 藤本徹哉, 本庄浩, 神戸尚志: 最大 CSPF を用いた大規模組合せ回路の最適化手法, 情処研報 Vol.91, No.110, 91-DA-60, Dec. 1991.
- [3] S.Minato, N.Ishiura, S.Yajima: Shared binary decision diagram with attributed edges for efficient boolean function manipulation, In *Proc. 27th Design Automat. Conf.*, 1990.
- [4] S.Muroga, Y.Kambayashi, H.C. Lai, J. Niel, Culliney: The Transduction Method - Design of Logic Networks Based on Permissible Functions, *IEEE Transactions on Computers*, Vol.38, No.10, 1989.