

## パターンベースによる冗長性の付加を考慮した

5B-7

## トランスダクション法に関する考察

澤田直\* 日野健介\* 上林弥彦+

\*九州大学工学部 +京都大学工学部

## 1. まえがき

近年のVLSI技術の進歩や計算機能力の向上に伴い、計算機による論理回路設計が不可欠となってきている。トランスダクション法<sup>[1]</sup>は許容関数と呼ばれる論理関数の変更の自由度を利用して何らかの方法で設計された初期論理回路を変形し、面積コスト、遅延時間などの点から最適化を行なう手法である。この手法は最近になって、規則性の少ない回路においては非常に良い結果を得ることができることが示され、BDDとの結合により、日米の数社で実用化されている。

トランスダクション法は、初期回路として与えられた回路をもとに最適化を行なう手法であるため、初期回路の性質によって最適化後の結果が大きく左右され、局所解に落ち込んでしまうことも稀ではない。この解決法として、ファンイン制限付きトランスダクション法の回路変形の自由度を変化させることによって局所解から抜け出す手法が提案されている<sup>[4]</sup>。

本稿では更に一歩進めて局所解に落ち込んだ場合にトランスダクション法の最適化能力の減少をなるべく小さくするために、回路の一部に対してパターンベースによる冗長性の付加を行なうことを考える。具体的には一時的に回路規模を増加させるような回路の等価変換を許し、それを効果的に適用することにより局所解を抜け出し、最終的な結果の改善を図る。

## 2. トランスダクション法の概要

以下、ゲートまたは外部入力変数を $v_i$ と表し、ゲート $v_i$ の入力へ結線されているゲートまたは外部入力変数の集合を $IP(v_i)$ 、 $v_i$ からの出力を入力に持つゲートの集合を $IS(v_i)$ と呼ぶ。また、本稿では論理回路を構成するゲートとしてNORゲートのみを扱うことにする。

## 2.1 許容関数

回路中のある要素（入力端子、ゲート、結線）の実現する関数 $f$ を、ある関数 $f'$ に変更しても回路の出力関数に変化しない時、 $f'$ をその要素の許容関数（Permissible Function）であるという。またそのような許容関数集合のうち同時に変更可能なものからなる部分集合をCSPFと呼び、 $G$ で表す。

## A Consideration of Transduction Method with Pattern-Based Redundant Transformation

Sunao SAWADA\*, Kensuke HINO\*, Yahiko KAMBAYASHI+

\*Faculty of Engineering, Kyushu University

+Faculty of Engineering, Kyoto University

## 2.2 許容関数集合による回路変換

ある回路中の結線の許容関数集合に恒偽関数が含まれる時、この結線は削除可能である。また結線 $c$ をゲート $v$ に接続した後の $v$ の実現する関数が $v$ の許容関数集合に含まれる時、この接続は回路の出力を変化させない。

Connectable/Disconnectable (C/DC)<sup>[1]</sup>と呼ばれる手続きは、この条件判定をCSPFを用いて効率良く行なうことにより回路を変形簡単化していく手法である。

## 2.3 ファンイン制限付きトランスダクション法

論理設計の段階において、マッピング後のコストの見積りを適切に行なうためには、論理最適化の過程において、各ゲートの最大ファンイン数を制限することは非常に重要である。しかし、トランスダクション法におけるファンイン制限は、回路変形の可能性を狭めるものであり、最適化結果に大きな影響を与えかねないと考えられる。これまでに我々はファンイン制限付きトランスダクション法において回路変形の自由度を変化させ、局所解に陥りにくくする手法を開発している<sup>[4]</sup>。

これは、手続きC/DCをファンイン制限を考慮せずに適用した後に文献<sup>[3]</sup>の直列分割を適用することによりファンイン制限を満たすものである。

## 3. パターンベースによる冗長性の付加

トランスダクション法は、回路中に存在するゲートの関数が接続可能かどうか、切断可能であるかどうかを判定して回路の変形を行なうため、局所解に陥ってしまった場合にそこから抜け出すことが困難になる場合も少なくない。本節では、一時的に回路の規模を増加させるようなパターンベースによる変形を施すことによって手続きC/DCにおいて利用可能なゲートを増やし、局所解から抜け出す手法について述べる。これは文献<sup>[2]</sup>の変形パターンの1つを逆に適用するものであり、探索が容易で回路の段数を増加させないという特徴がある。なお、制限される最大ファンインを $MFANIN$ と呼ぶ。

単一ゲートからなる回路について、 $v_2 \in IP(v_1)$ 、 $v_3 \in IP(v_2)$ の接続関係がある時、図1のような変形を行なって出力関数に影響がないための条件は以下の通りである。ただし、図中の $A, \dots, D$ はそれぞれゲート又は入力端子からの結線集合を表す。

- $|IS(v_2)| = 1$
- $|IS(v_3)| = 1$
- $|C + D| \geq 2$

本稿では回路規模の無意味な増加を防ぐために、以下の方針で変形を行なう。

- 変形後もファンイン制限を満足するため、 $|A| \leq MFANIN - 2$

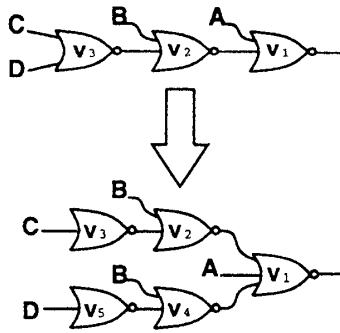


図 1: パターンベースによる冗長性の付加

- 1つの  $v_1$  に対して複数  $v_2$  の候補がある時,  $|B|$  が最小のものを選ぶ.
- 1つの  $v_2$  に対して複数  $v_3$  の候補がある時,  $|C + D|$  が最大のものを選ぶ.

処理は以下のような手順で実行される.

- Step 1: 回路の改善ができなくなるまでファンイン制限付きトランスダクション法を繰り返し適用する.
- Step 2: 回路を出力段から順に探索し, 図 1 の変形が適用できる部分を変形する.
- Step 3: Step 2 の実行により新たに変形できる場所が生じ得るので, 変形できなくなるまで Step 2 を繰り返す.
- Step 4: 変形された結果に対して Step 1 を実行する.

#### 4. 実験結果

前節で述べた手続きを SPARC STATION 10 上で C 言語を用いて実現し, 実験を行なった. この時生成される回路は最大ファンインが 4 に制限され, ファンアウトは制限されていない. 初期回路としては LGSynth'91 多段ベンチマーク回路をファンイン 4 までの NOR ゲートにマッピングしたものをを用いた. なお, 本プログラムの SBDD 処理には NTT の湊氏による SBDD パッケージを使用している.

結果の一部を表 1 に示す. ここで "Trans." は文献 [4] の手法によるファンイン制限付きトランスダクション法を初期回路に適用した結果であり, "Pattern" はその結果に本手法による冗長性の追加を行なった結果である. "Pat.+Tr" は Pattern の結果にもう一度ファンイン制限付きトランスダクション法を適用した結果である. 各結果は "結線数 / 段数" で表される. Pat.+Tr. において Trans. よりも最適解の改善が見られるものを下線で示す.

結果を見るとパターンベースによる冗長性の付加を行なうことにより約半数の回路で最適解の改善が行なわれていることが分かる. また, 結線数のみ, 段数のみに関してならば, 更に多くの回路で何らかの改善が行なわれている. これは本稿で述べた変形によりそれまで存在しなかった関数を表すゲートが作成されるため, トランスダクション法の最適化能力をより引き出すことができたためと思われる. 一方トランスダクション法を通常の約

name	初期回路	Trans.	Pattern	Pat.+Tr.
C17	19/5	19/5	25/5	17/5
C1908	1335/37	958/31	1185/31	1051/28
C432	421/25	312/26	343/26	296/28
alu2	747/39	727/35	1043/35	747/30
alu4	1441/42	1378/35	1766/35	1490/32
apex7	501/17	430/17	658/17	465/12
b9	247/10	215/12	293/12	221/12
c8	371/7	310/10	470/10	287/10
cht	434/7	460/7	672/7	329/5
cm162a	93/9	89/10	125/10	91/7
cm163a	92/9	90/9	122/9	87/7
cm85a	82/12	78/15	126/15	80/11
cmb	102/10	82/10	94/10	70/7
cu	125/7	102/9	167/9	110/12
f51m	277/13	183/15	287/15	192/11
i5	737/8	397/20	448/20	414/18
mux	176/14	161/24	248/24	145/23
sct	243/8	152/11	178/11	141/11
t481	8144/20	226/24	290/24	176/18
tcon	96/4	88/4	112/4	72/4
ttt2	486/9	323/11	487/11	334/11

(結線数 / 段数)

表 1: ベンチマーク回路の合成結果の比較

2 倍適用することになるため, 倍の実行時間がかかる場合もあり, 効率化は今後の課題である.

#### 5. むすび

ファンイン制限付きトランスダクション法をより柔軟に適用するためのパターンベースによる冗長性の付加について述べてきた. また, 実際に行なった結果およそ半数の回路で最適解の改善が見られ, 本手法が有効である場合があることを示した.

#### 謝辞

有益な御助言を頂いたイリノイ大学の室賀三郎教授並びに九州大学の岩間一雄教授, 熱心な御討論下さった京都大学上林研究室の皆様, また, SBDD パッケージの使用を快諾していただいた京都大学の矢島脩三教授に感謝致します.

#### 参考文献

- [1] S.Muroga, et al., "The Transduction Method—Design of Logic Networks Based on Permissible Functions", *IEEE Trans. on Comput.*, Vol.38, No.10, Oct. 1989.
- [2] Y.Kambayashi, et al., "Pattern-Oriented Transformations of NOR Networks", UIUCDCS-R-90-1573, Dep. Comput. Sci., Univ.of Illinois, Feb. 1990.
- [3] S.Sawada, et al., "Generation of Fan-in Restricted Initial Networks for Transduction Method", *Proc. SASIMI'92*, April 1992.
- [4] 高田, 石垣, 上林, "効率の良い直列分解多段化に基づくファンイン制限付きトランスダクション法実現の一手法", 情処第 46 回全大, 8M-4, 1993 年 3 月.