

2B-7

## イオン注入シミュレータ並列化による 並列プロセッサアーキテクチャの定量的評価

高野裕之 高橋真史 金子栄美  
株式会社東芝 研究開発センター

### 1. はじめに

並列計算機上では実際にプログラムを載せた場合の実効性能がピーク性能に比べて著しく低下することが報告されている。また、ベンチマークレベルの評価結果が、そのままアプリケーションレベルのプログラムでも通用するとは限らないことも報告されている。このようなことがないためにも、仕様設計の段階において、ベンチマークレベルからアプリケーションレベルまで幅広いプログラムによる評価を行い、その実効性能や実効性能に影響するアーキテクチャ上の各種パラメータについて定量的に評価し、これを、必要ならば仕様へフィードバックすることが必要である。

本稿では、我々の開発している並列LSIの仕様設計のために作成した並列LSIシミュレータ上で、アプリケーションレベルのプログラム「イオン注入シミュレータ」を実装し、これにより、台数効果や、アーキテクチャ上のパラメータの幾つかについて評価したので、これらについて報告する。

### 2. 並列LSIシミュレータ

我々が研究開発を進めている並列LSIは基本的には複数個のRISCプロセッサから構成される。図1は、現在検討中の並列LSIの仕様で、1LSI上に集積されるモジュール構成を表した、アーキテクチャのブロック図である。1LSIチップは4つのIUと個々のIUのための命令キャッシュ、データキャッシュ、通信機構、そして4IU共通の1FPUからなっている。FPU命令はIUのデコードステージでFPU用のキューに格納され、現在実行中の依存関係を調べ実行される。FPUのレイテンシは、加算器・乗算器が3、除算は15である。その他の基本的なスペックについては表1を参照されたい。

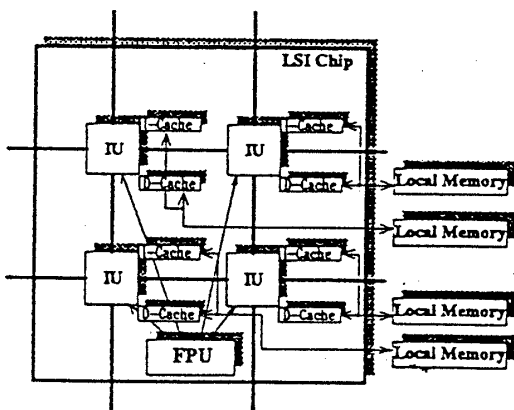


図1 並列LSIのブロック図

並列LSIシミュレータは、仕様設計用にC言語で作成されたパイプラインレベルのLSIシミュレータであり、*a.out*形式のプログラムをシミュレータ上にロードして動作させることができる。

表1 並列LSIの仕様(検討中)

1チップの構成	4IU, LFPU, キャッシュ, 通信機構
IU	32bit RISCプロセッサ×4
FPU	64bit加減算器+64bit乗算器+64bit除算器
キャッシュメモリ	命令16KByte×4, データ16KByte×4
動作クロック数	250MHz
1チップのピーク性能	0.5 GFLOPS
PE間結合方式	2次元トラス結合
PEの並列動作制御方式	SPMD

実行にあたっては、現在、標準で、

プロセッサ数・プロセッサアレイ構成・通信のレイテンシ  
FPU当たりのIU数・FPUのレイテンシ・FPU用キューの深さ  
メモリのアクセスレイテンシ・転送レート  
キャッシュの各種パラメータ

などを設定することができる。実行時間はクロック数で得ることができ、併せて、実行命令数、メモリアクセス回数、キャッシュミス回数、浮動小数点演算数、パイプラインの各種ストールクロック数、などが標準で得られるようになっている。

並列LSIシミュレータ自体のEWS上での実行速度は、現在、SPARC Station上で、4PE構成で、約5000クロック/secである。

ベンチマークなどによる評価では、十分な速度といえるが、アプリケーションレベルのプログラムの評価では、未だ十分とはいえず、更なる速度向上を検討する必要がある。

### 3. イオン注入シミュレータの並列化と評価項目

イオン注入シミュレータは、一次元構造のターゲット物質にイオン注入した場合の不純物プロファイル(図2)を求めるための実用モンテカルロシミュレータである。シミュレーションは一般に、実際に注入する粒子に比してかなり小数の粒子に代表させて、その飛跡をモンテカルロ計算で追うことにより、現実のプロファイルを推定するものである。故にシミュレートに用いる粒子数が多ければ多いほどその精度は向上する。また粒子数が実際のシミュレーションで行う程度の数になれば、実行時間のうち、モンテカルロシミュレーション部分以外の部分(I/O部分など)は相対的に無視できる程度になる。

並列化は、各PEに粒子をプロセッサ数で分割した分だけ割当、各PE独立に担当した粒子に関し追跡し各PE毎に不純物プロファイルを作成し、これを最後にNEWS通信によって、合計したプロファイル結果を得るといった形でいった。

各PEでのモンテカルロ計算に要する時間が、最後の総和用の通信時間に比して著しく大きい場合、通信によるオーバーヘッ

ドはほとんどない。

一方、2で述べたとおり、FPUを4IUで共有しているため、これがボトルネックになる可能性がある。

この仕様は、以前行われたベンチマークによる評価によるもので、1IU-1FPUのときに生じてしまうFPUの大きな空き時間を一つのFPUに複数のIUからのFPU命令を供給することで埋め、その使用効率を上げようとした結果である。LSIの面積の問題の解決にもなっている。

この問題に関して、ベンチマークレベルでの評価がアプリケーションレベルでの評価と一致するかを調べるのが、本稿の目的の一つである。

また、並列化に先立ち、

CRAY-YMP /4128 4CPUモデル ピーク性能:1.3GFLOPS

での実行時間の測定を行ったのでこれとの比較結果についても報告する。

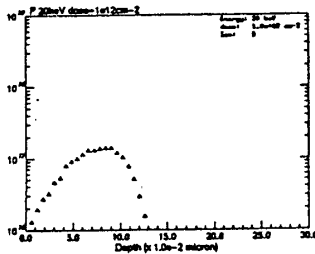


図2 イオン注入装置の 不純物プロファイル

4. 評価結果と考察

1粒子当たりの実行時間について、台数効果、FPU共有度、CRAY-YMPでの実行時間との比較、に関し考慮した結果を、図3・表2に示す。

表2で、指標FPU-Queue-Lockは各PEのFPUへのキューが埋まることによるパイプラインのインターロックロック数(PE平均)であり、FPU-ld/st-Lockはロードストアする各PEのレジスタに関して、その前のFPU命令とでデータ依存があることによるパイプラインのインターロックロック数(PE平均)である。

イオン注入シミュレータの実行時間は、異なるアーキテクチャを持つ両者の比較では、「1粒子当たりの実行時間」で規格化するのが適当である。

図3で示された通り、適当なアーキテクチャパラメータを選ぶことにより、実効性能として4PEでCRAY-YMPの1/3の性能が得られることが分かった。

4PEでの実効性能が約0.1GFLOPS/4PEと、ピーク性能の5分の一に落ちた主な原因は、この場合、FPUへの入力キューが埋まっていることによるインターロックにあり、更にそのほとんどがレイテンシの長い浮動小数点除算(FDIV)実行中のものであることが分かっている。本アプリでは図4に示すように、プログラムとしてはFDIVの割合がかなり大きなほうであり、FPU共有度が上がるにつれインターロックの度合も大きくなるはずであり、問題となる可能性がある。しかし結果としては、図3・表2にみられる通り、共有度4程度であれば、それによる速度の低下は大きくないことが分かる。FPU共有度を下げることによる効果と、そのコストのトレードオフを考えれば、共有度4で十分であることが分かった。

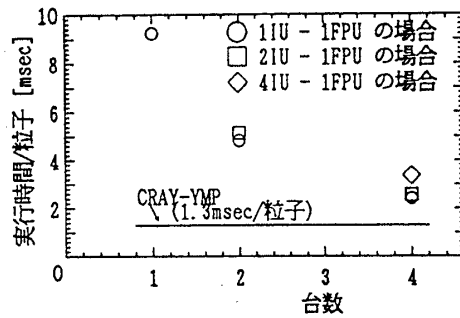
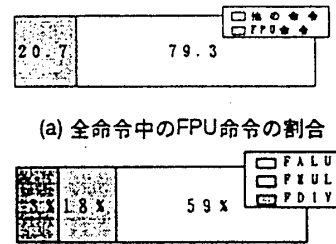


図3 実行時間の台数効果とCRAY-YMPとの比較

表2 実効性能とFPU共有度

FPU共有度	clock数	MIPS/4PE	MFLOPS/PE	FPU-Queue-Lock	FPU-ld/st-Lock
4IU-1FPU	335684624	480.6	24.9	42193646	94407439
2IU-1FPU	257537463	626.5	32.4	7465089	55207873
1IU-1FPU	241245428	668.8	34.6	486308	46915182

c) LPE平均命令数: 161337720, LPE平均FPU命令数: 33369783  
LPE平均メモリアクセス数: 55967413 [100粒子/PE, 4PE(→4IU)]



(a) 全命令中のFPU命令の割合

(b) 全FPU命令中の各命令の割合

図4 命令数の割合

5. おわりに

本稿では、アプリケーションレベルのプログラム「イオン注入シミュレータ」により行った並列LSIアーキテクチャの評価について報告した。

CRAY-YMPでの実行速度に対し、4PEでこれを超える結果を得た。また、FPU共有度に関しても、現在の仕様を変更する必要は得られなかった。

FPU・IUのレイテンシや、FPUキューの深さなどの変更による効果は今後の課題である。

また、他のアプリケーションでも同様の評価を行っていく予定である。

謝辞

本研究にあたり、イオン注入シミュレータプログラムを提供して頂き、また多くの質問にも親切に答えて頂いた、ULSI研究所第二研究所の和田主任研究員、福田主事に深謝致します。

参考文献

[1] 高橋真史, 吉田尊, 佐藤寿倫, 高野裕之 "高速プロセッサ向けプリフェッチ機構付きキャッシュ メモリの性能評価", 信学技報 CSPY94-  
[2] W.P.Peterson, W.Fichtner, E.H.Grosse, "Vectorized Monte Carlo Calculation for the Transport of ion in Amorphous Target", IEEE Trans. on Electron Devices, vol.ED-30 no.9, Sep.1993  
[3] 多田好克 監訳 "SPARCアーキテクチャ・マニュアル" 株式会社トッパン1992