

伝播遅延を考慮した階層型分割可能バスとその評価

1T-10

前場 隆史†
神戸商船大菅谷 光啓††
野村総研辰巳 昭治‡
阪市大阿部 健一‡‡
東北大

1. まえがき

プロセッサアレイ(以後、アレイという)の計算能力を高める手法の1つとして、グローバルバスの導入が従来から試みられている。ある種の問題はバス構造の相違により、真に計算量が変化することが知られている。バスを時系列的に分割統合可能な分割可能バスを付加したアレイでは、 N 個のデータの最大値、最小値、総和などの半群計算を $O(\log N)$ 時間で実行可能である[1]。しかし、分割可能バスでは、バスの途中にスイッチ素子を挿入する必要があるため、アレイの大規模化によっては伝播遅延が無視できなくなる場合も考えられる。本稿では、スイッチ素子による遅延の影響を低減するためバスを階層化させ、挿入されるスイッチ素子数を減少させた階層型分割可能バスモデルを提案し、その評価を行う。遅延を考慮したにも拘らず、半群計算などのリダクションによって計算可能な問題に対しては、従来のバスアーキテクチャより計算量を減少させられ得ることを示す。

2. 計算モデル

議論の簡単化のため、ここでは1次元の階層型分割可能バス付きアレイ PAHP_bを考える(図1参照)。1次元 PAHP_bは、 N 台のPEからなる1次元アレイと k 層からなる階層型分割可能バス(HP_b)により構成され、各PEは各層のバスと接続されている。但し、層 l には、 $N^{l/k}$ -PE毎にスイッチ素子SUが挿入されたバスSB_l($1 \leq l < k$)および $N^{(l-1)/k}d$ -PE毎にSUが挿入されたバスPB_l($1 \leq l \leq k$)が存在する。図1は $N=16, k=2, d=2$ の場合の例である。なお、PEアレイの次元を一般の $m > 1$ に拡張し、議論することは容易である。

PAHP_bに関して、以下の仮定を設ける。

(a) 各PEは定数個のレジスタをもち、算術論理演算等

の基本命令を $O(1)$ 時間で実行できる。

(b) PE間のデータ授受は、隣接PE間の通信リンクあるいはバスを通して行われる。SUにより分割された各々のバスにはある時刻において、高々1つのPEのみが送信でき、1単位のデータを転送できる。

(c) SUにより生じる遅延時間は、一段当たり高々 D_s である。また、長さ L のバスを通して、データを伝播するときに要する時間は高々 $O(1)$ である。すなわち、配線長に関係なく常に一定時間で伝播される。

(d) 各PEは、自身を表わす固有の識別番号 i をレジスタIDに格納している($1 \leq i \leq N$)。また記法の便宜上、ID= i であるPEをPE _{i} と記す。

半群計算とは、 N 個のデータからなる集合 S に対し、 $a_1 * \dots * a_i * \dots * a_N, a_i \in S$ を計算することをいう。 $*$ は S 上の半群演算である。

3. 評価

階層型分割可能バスの評価を行うため、ここでは半群計算問題を取り上げる。半群計算は種々の並列アルゴリズムを構成する上で、基本となるアルゴリズムの1つである。

半群計算をHP_b付きアレイ上で計算するアルゴリズムは、以下の通りである。但し、計算に先立ち、各PEにはデータが正確に1つ割り当てられ、結果は全てのPEが保持するものとする。

[アルゴリズム SConPAHP_b]

1° for $l=1$ to k do begin

2° SB_lのSUをすべて“off”とし、 $N^{l/k}$ -PEからなる $N^{(k-l)/k}$ 個のクラスタに分割する。

3° 2°で構成されたクラスタに含まれるPEを $N^{(l-1)/k}d$ -PEからなる $\lceil N^{1/k}/d \rceil$ 個のグループに分割する。このため、PB_lのSUをすべて“off”とする。

4° 3°の各グループをさらに $N^{(l-1)/k}d^{1/2}$ -PEからなる $d^{1/2}$ 個のブロックに分割する。各ブロックには $l-1$ において計算された半群計算の部分結果が高々 $d^{1/2}$ 存在する。これらのデータを $l > 1$ ならばSB_{l-1}を用いて、 $l-1$ のクラスタリーダー($(i-1) \bmod N^{(l-1)/k} = 0$ であるPE _{i})が順次部分結果を放送することで半群計

A Processor Array with Hierarchical Partitionable Buses and Its Evaluation

† Takashi MAEBA, Kobe University of Mercantile Marine

†† Mitsuyoshi SUGAYA, Nomura Research Institute, Ltd.

‡ Shoji TATSUMI, Osaka City University

‡‡ Ken'ichi ABE, Tohoku University

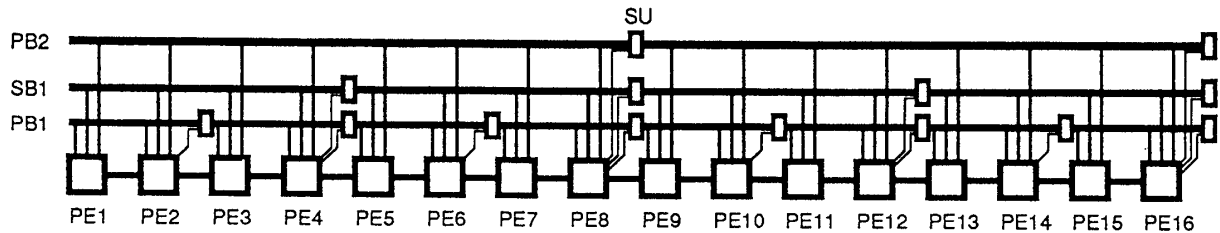


図1 階層型分割可能バス付き1次元アレイ

算を実行する。 $l=1$ ならば、PE間通信リンクを通してデータ交換を行い、半群計算を実行する。

5° 4°で計算されたブロック単位の部分結果をブロックリーダ $((i-1) \bmod N^{(l-1)/k} d^{1/2} = 0$ である PE_i) が PB_l を用いて順次放送し、グループ単位の部分結果を得る。

6° グループ単位の部分結果を基にクラスタ単位の半群計算を次のように実行する。

6-1° for $i = 1$ to $\lceil \log(N^{1/k}/d) \rceil$ do begin

6-2° PE_ξ は PB_l の SU を “off”, その他の SU に接続されている PE は SU を “on” とし、バスを $2^i N^{(l-1)/k} d$ -PE 毎に分割する。 ($\xi = 2^i N^{(l-1)/k} d \cdot j + N^{l/k}(\zeta - 1), 1 \leq j \leq N^{l/k}/2^i N^{(l-1)/k} d, 1 \leq \zeta \leq N^{(k-l)/k}$)

6-3° PB_l を通して、 PE_ξ と PE_η の間でデータ (半群演算結果) を交換し、半群計算を更新する。結果は PE_ξ が PB_l を通して、他の PE へ放送する。 ($\xi = 2^i N^{(l-1)/k} d(j-1) + (\zeta-1)N^{l/k} + 1, \eta = 2^i N^{(l-1)/k} d(j-1/2) + (\zeta-1)N^{l/k} + 1, 1 \leq j \leq N^{l/k}/2^i N^{(l-1)/k} d, 1 \leq \zeta \leq N^{(k-l)/k}$)

6-4° end.

7° end. □

上のアルゴリズムに関し、次の結果を得る。

[定理 1] $SConPAHP_b$ の計算量は、 $O(k(d^{1/2} + D_s N^{1/k}/d))$ である。

(証明) 4°, 5°の半群計算は、各ブロック、各グループに存在するデータ数が高々 $d^{1/2}$ であることから、 $O(d^{1/2})$ 時間で十分である。6°は各クラスタに存在する $O(N^{1/k}/d)$ 個のデータを PB_l を通してトーナメント的に半群計算を実行するため、

$$\begin{aligned} & \sum_{j=1}^{\lceil \log(N^{1/k}/d) \rceil} (2^j - 1) D_s + O(1) \\ &= O(D_s N^{1/k}/d + \log(N^{1/k}/d)) \end{aligned}$$

時間を要する。その他のステップは $O(1)$ 時間で十分

である。ゆえに、 k 階層全体で $O(k(d^{1/2} + D_s N^{1/k}/d))$ 時間となる。 □

スイッチ素子1段当たりの遅延を定数時間とすると、次の結果を得る。

[系 1] $D_s = O(1)$ のとき、 $SConPAHP_b$ の計算量は $O(kN^{1/3k})$ である。 □

$k=1$ の場合 [2], 系 1 より半群計算の計算量は $O(N^{1/3})$ となり、スイッチ素子による伝播遅延を考慮しても、従来から知られている [3] の結果 ($O(N^{1/2})$) より漸近的に優れていることになる。また、系 1 は半群計算に関しては、バスを持たないアレイにおける多次元化とバスの階層化 (ただし、階層数は任意の正整数) は計算量を改善する意味において、同等な能力を有することを示している。 k が正整数であれば、オーダ的に面積複雑さを増すことなく、VLSI 計算量を低減することが可能である。

なお、階層型分割可能バス付き m 次元アレイ上の半群計算に関しては、次の結果を示すことができる。

[系 2] $D_s = O(1)$ のとき、階層型分割可能バス付き m 次元アレイ上での $SConPAHP_b$ の計算量は $O(kN^{1/3mk})$ である。 □

4. むすび

本稿では、スイッチ素子による伝播遅延の影響を低減する階層型分割可能バスを提案し、その有効性を示した。なお、本研究の一部は文部省科学研究費補助金 (奨励研究 (A)05780254) による。

文献 [1] 前場, 菅谷, 辰巳, 阿部: “分割バス付きアレイ上での半群計算に基づく並列アルゴリズム”, 信学論 A, J76-A, 6(1993-09 掲載予定). [2] 前場, 菅谷, 辰巳, 阿部: “分割可能バス付きアレイにおけるデータ伝播遅延の計算量に及ぼす影響”, 1993 信学春季大, D-154, (1993-03). [3] Q. F. Stout: “Mesh-connected computers with broadcasting”, IEEE Trans. Comput. C-32, 9 (Sept. 1983).