

リアルタイム画像生成システム AVIP の Merge&Map アーキテクチャとその評価

6H-3

太田 義人、小林 忠司、西村 明夫、日高 教行、浅原 重夫、鷲島敬之

松下電器産業株式会社 メディア研究所

1 はじめに

現在我々が開発中のリアルタイム画像生成システム AVIP[1]は、隠面消去にスキャンラインZバッファ法を採用するとともに、Merge & Map アーキテクチャ[2]を実現する専用ハードウェアを開発、使用しており、そのスケーラビリティにより多数のポリゴンに対する高速マッピング処理が可能である。

本稿ではこの専用ハードウェアに関し、ポリゴン単位の静的な負荷分散のもとでの、並列処理ユニット間及び専用ハードウェア内部での負荷の偏りによるシステム全体の処理性能への影響を評価し、このアーキテクチャの有効性を示す。

2 アーキテクチャ

本アーキテクチャは、隠面消去処理にスキャンラインZバッファ法を採用しており、これにより各並列処理ユニットが保持するバッファメモリ部を小型化している。図1に示されるように、Merge & Map アーキテクチャを実現するハードウェアは、複数の並列処理ユニットを直列に接続し、その最終段にマッピングエンジンを接続した構成になる。マッピングエンジンはその内部にテクスチャ情報と照度情報を格納するマッピングメモリを持ち、最終段の並列処理ユニットから出力されるマッピング座標に基づいてRGBデータを得る。従って、マッピングメモリへのアクセスは処理するポリゴン数に依存することなく、画素出力レートで決まる一定のバンド幅となる。

並列処理ユニット内では、汎用のプロセッサを用いて座標変換、クリッピング及びエッジペア生成を行なう。生成されたエッジペアデータは専用のセグメント生成ハードウェア(セグメントジェネレータ)

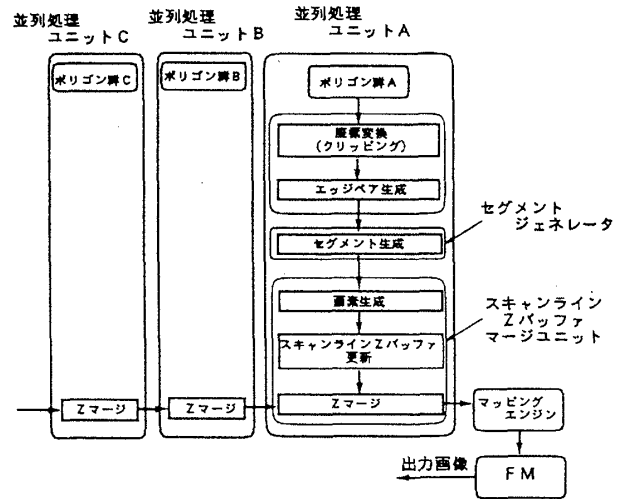


図1: Merge&Map アーキテクチャにおける並列処理の概念図

でセグメントデータに変換され、スキャンラインZバッファマージユニット(以下マージユニットと略す)という専用LSIにより画素生成とスキャンラインZバッファマージ処理が行なわれる。マージユニットは、前段の並列処理ユニットが処理したスキャンラインZバッファを取り込み、自分が持つスキャンラインZバッファとのマージ結果を後段の並列処理ユニットに送る。接続された全ての並列処理ユニットがスキャンライン毎に同期してこれらの処理を行なう。

3 負荷分散の評価

並列処理ユニット一つあたりの処理性能は120Kポリゴン/秒程度と見積もっており[2]、並列処理ユニット100個の構成で1200万ポリゴン/秒の処理性能を目標としている。本アーキテクチャは並列処理ユニット間での負荷分散が処理性能に大きな影響を与える。そこでまず、並列処理ユニット間での負荷の分散状況を確認した。さらに、並列処理ユ

Evaluation of Merge & Map Architecture
Yoshihito Ohta, Tadashi Kobayashi, Akio Nishimura,
Noriyuki Hidaka, Shigeo Asahara, Takayuki Sagishima
Media Research Laboratory, Matsushita Electric Industrial
Co., Ltd.

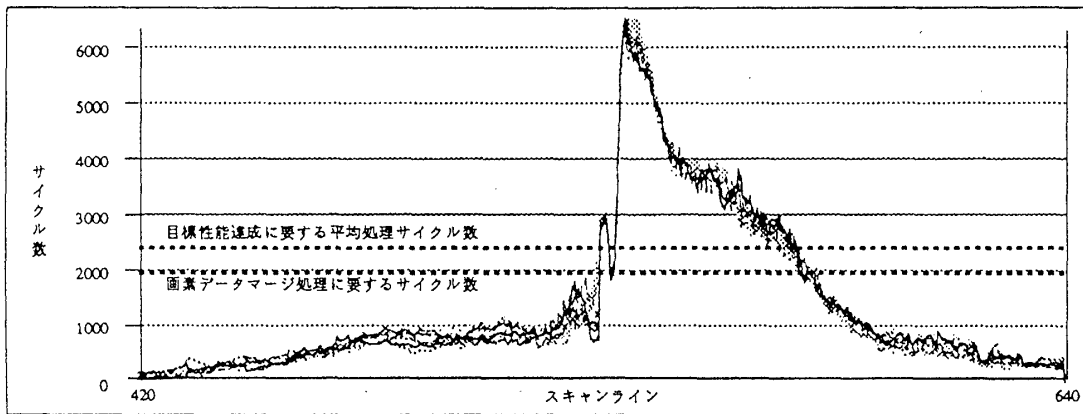


図1: 各並列処理ユニットのセグメント入力サイクル数

ニット一つあたりのポリゴン数を一定に保った状態で、並列処理ユニット数を変化させ、各々のケースの処理性能を比較することにより本アーキテクチャのスケラビリティの評価を行なった。

3.1 評価手法

専用ハードウェアの負荷分散の評価は、エッジ生成プログラムとセグメントジェネレータ、マージユニットの機能シミュレータを用いて行なった。まず、24万ポリゴンからなるサンプルデータを並列処理ユニット数に応じてインターリーブし、エッジ生成プログラムに順次与えた。この処理結果をセグメントジェネレータ及びマージユニットの機能シミュレータに入力し、並列処理ユニット間及び並列処理ユニット内部での負荷分散の状況の評価した。

3.2 評価結果

表1: 一画面当たりの処理時間

ユニット数	ポリゴン数	処理時間(秒)	オーバーヘッド比(%)
1	12,000	0.0911	0
2	24,000	0.0912	0.79
5	60,000	0.0933	4.25
10	120,000	0.0940	5.62
20	240,000	0.0949	7.02

図1は並列処理ユニット間の負荷分散状況を示すために、特に負荷が重い範囲について並列処理ユニット毎(処理ユニット数8)のセグメントデータ入力サイクル数をグラフ化したものである。また、表

1に並列処理ユニット数及び処理するポリゴン数を変化させた場合の、一画面分の処理時間とオーバーヘッド比を示す。オーバーヘッド比はスキャンライン毎の同期のために一つ以上のユニットが処理を行っていない時間が処理時間に占める割合を表す。

これらの結果から、データのインターリーブ分割により、並列処理ユニット間で十分な負荷分散が行なわれていることを確認した。また外挿することにより、100ユニット構成で処理時間は0.098秒程度になると考えられ、目標性能は実現可能であるといえる。なお、処理されたエッジペアの総数は26万7千個で、一エッジペアあたりの平均画素数は約70画素であった。

4 おわりに

本稿では、スキャンラインZバッファ法とMerge & Mapアーキテクチャを採用し、データのインターリーブ分割による負荷分散を行なうことにより、高いスケラビリティを達成できることを示した。

AVIPは、並列処理ユニット間がトラス型ネットワーク、バックプレーンバスによって結合された疎結合型並列計算機であり、全体として高いスケラビリティを達成できる構成となっており、ラジオシティを含む高画質の画像を生成するプログラムを効率良く並列処理できるものと考えられる。

参考文献

- [1] 吉岡、他. リアルタイム画像生成システムAVIPのシステムアーキテクチャ. 情報学会 第47回全国大会, Oct. 1993.
- [2] 西村、他. マルチプロセッサ向き画像生成ユニット. 信学技報, Dec. 1992.