

## 最長経路の分解と置換による遅延最適化

4H-4

石垣博康 澤田直 上林弥彦

京大工学部 九大工学部 京大工学部

## 1 まえがき

論理回路合成において、回路交換による論理回路最適化は非常に重要な技術である。論理回路最適化の要求には、冗長結線の削除やゲート数削減による面積最小化などがあるが、近年、半導体価格の低下に伴い、面積を犠牲にしても高速な回路が求められる状況が増し、それに従って遅延最適化技術が重要とされてきている。しかし回路の大規模化に伴い、回路全体を回路交換の対象とするような手法は、記憶容量や計算時間などの面から困難となる場合が考えられる。

そこで我々は文献<sup>[1]</sup>において、大規模回路内の部分回路を段数の少ない回路に置換することによって段数削減を行なう手法を提案した。この手法は基本的に、最長経路付近の回路を再構成するという意味では文献<sup>[5]</sup>のアプローチと同じではあるが、遅延最適化手法はその再構成すべき部分の選択とその再構成法が問題となるため、回路交換の能力は異なったものとなっている。

本稿では、文献<sup>[1]</sup>で提案した手法をさらに発展させ、効率の良い遅延最適化を行なう手法を提案する。本手法は、目的回路における最長経路に着目、その周辺の回路を分解し、その中でもっとも効果的だと思われる回路を置換することによって段数削減を行なう手法である。また、本手法を使ってベンチマーク回路の段数削減を行なった実験結果を示す。本手法では、置き換えるための回路はその部分回路に対してのみ生成されるので、回路の大規模化に伴う計算時間や記憶容量の増大は非常に小さい。また、本手法自体は現在テクノロジー独立であるが、これに続くテクノロジーマッピングを考慮し、ファンインを制限している。また、実験で用いたプログラムはそのファンイン制限値を任意に設定することが可能である。

## 2 最長経路を含む部分回路置換

本章では、最長経路を含んだ回路の置換による段数削減手法を提案する。本手法は、(1)置換される部分回路の選択、(2)置換するための回路の生成と置換、の2つの部分から構成される。次の2.1節において基本的事項、2.2節で置換される部分回路の選択方法、2.3節で置換するための回路の生成法について述べる。

## 2.1 基本的事項

本稿では、帰還ループのない組合せ論理回路を扱う。回路内の各ゲートにおいて、出力側および入力側からの段数を計算することができ、入力側からの段数を  $ilev$ 、出力側からの段数を  $olev$  で表す。回路において、入力端子から出力端子に至るまでの経路がもっとも長い経路の集合を最長経路と呼ぶ。また、あるゲートにおいて、その  $ilev + olev$  が回路の段数と等しくなっているゲートの集

合が、最長経路上のゲートとなり、これらをクリティカルゲートと呼ぶ。

## 2.2 目的部分回路の選択

本手法は段数削減を目的としているため、置換すべき部分回路は次の基準によって選ばれる。

- 最長経路に沿っている。
- 部分回路の段数が大きい。(置換後の段数削減が期待できる。)
- 部分回路への入力線数が規定値以下。(部分回路の大きさの制限。)

つまり、目的部分回路はあまり広く、短くないことが望まれる。なぜならその方が段数削減の効果が高いと考えられるからである。また、置換するための回路を生成する際に、入力が多い回路はファンイン制限のもとでは段数が大きくなる傾向があるため、入力線数を制限し、段数の増加を防いでいる。しかしここで最適な入力線数は回路によって異なると考えられるので、同じ回路に対して入力線数を変化させ部分回路選択を行なっている。また、最長経路を出力側から探索し部分回路の選択を行ない、段数削減が期待できるものについて置換を行なう。

実際の部分回路の選択の手続きの概要を、次に示す。

- step 1 全ての最長経路を同時に出力側より探索し、同レベル上に存在するクリティカルゲート数が最も少ないレベルにおいて、クリティカルゲートを一つ選択し、それを部分回路の選択始点として用いる。部分回路を選択する際の基準となる入力数については、最小値と最大値が与えられる。
- step 2 その選択始点から部分回路を選択した場合の段数削減期待値を求め、決められた閾値より小さい時は他の選択始点を探索する。段数削減期待値は、与えられた入力数の最小値による部分回路を求め、その選択された部分回路の段数が用いられる。
- step 3 部分回路を入力側に向け、最長経路に沿って1段拡張する。
- step 4 選択回路に対し置き換え回路を生成し、その置き換えによる評価を計算する。生成された置き換え回路とその評価値を順次蓄えておく。
- step 5 選択回路への部分入力数が与えられた最大値を越えてないなら step 3 へ戻る。
- step 6 生成されたすべての置き換え回路の内、評価のもっとも高いものへと実際の置換を行なう。置換によって回路の改良が期待できない場合は、step 1 に戻り他の選択始点を選ぶ。

以上に述べた手続きにより選択される部分回路は、その部分回路以外への結線はすべてその出力となるので、多入力多出力回路となりうる。文献<sup>[1]</sup>では、選択される部分回路は最長経路上の集約点(同レベル上にクリティカルゲートがただ一つ)のみからしか選ばれなかった。本手法では、最長経路上のクリティカルゲートに沿って、置き換えるための部分回路を順次拡張しつつ選択するため、結果的に最長経路の分解を行なっていることになる。

### 2.3 置き換え用の回路生成手法

本稿では置き換える用の回路を生成するために、文献<sup>[2]</sup>の手法を使用する。この手法は束(lattice)を用いてNORゲートからなる3段回路を生成し、それに対して段数をできるだけ増加させないようにファンイン制限を加えていくというものである。この手法は多出力回路を少ない段数で設計するという意味で本稿の目的に適しているが、束をもとにしているため、あまり多くの外部変数を必要とする関数には効率が悪くなるという欠点が存在する。また、選択する部分回路が大きくなり過ぎると、生成される回路に対して適用されるファンイン制限手法により、段数が増加しやすくなる傾向が存在する。そのため必要となる変数の数の制限を行なっている。また、生成された回路に対してファンイン制限を適用する場合、NORゲートの直列分割をより一般的にした手法を用いているが、その際に回路内において $ilev$ が大きくなると考えられるゲートを、なるべく最終的な回路の出力側に近い所へ配置するようにしている。つまり、各ゲートの $ilev + olev$ がなるべく小さくなるように配置を行なっている。

また、この手法で生成された回路に対し、ゲート数および結線数を削減するためにトランスダクション法<sup>[4]</sup>を適用している。トランスダクション法とは、回路内の潜在的なドントケアを表した許容関数という概念を用いて回路変換を行なう手法である。トランスダクション法の欠点に大規模回路を扱う場合に、記憶容量と計算時間が大きくなるというものがあるが、本手法においては対象回路がかなり大規模な場合でも部分回路は小さいものが選ばれるので、容易にトランスダクション法を適用することができる。

### 3 実験結果

上述した手法に基づいて、論理回路の遅延最適化プログラムをC言語を用いて作成し、SPARC STATION II上で実験を行なった。この時、生成される回路はファンインが4に制限され、ファンアウト数の制限はされていない。また目的部分回路の選択の際に与えられる入力数は、最小値6、最大値15となっている。本手法は同一回路に対し、1~7回適用される。

初期回路としては、LGSynth'91多段ベンチマーク回路をファンイン4までのNORゲートにマッピングしたものをを用いた。なお本プログラムのSBDD処理は、NTTの湊真一氏によるSBDDパッケージを使用している。

表1に、このプログラムによる論理回路の遅延最適化結果を示す。表中のInは回路の外部入力数、Outは外部出力数を表し、CPU時間の単位は秒で表されている。各回路は、ゲート数/結線数/段数、で表されている。

表には、LGSynth'91多段ベンチマーク回路について行なった実験の内、使用が推奨されている代表回路12個を含む一部の回路についての結果を示している。本手法の適用により、ベンチマーク回路全体の内約75%の回路において段数削減が得られた。また、回路のゲート数、結線数の増加も問題となるほど大きくないと考えられる。計算時間は、回路が大規模なものでも著しい増加はなく、本手法が大規模回路を扱うことに優れていることを示している。

### 4 あとがき

本稿では最長経路を含んだ部分回路を置き換えることによる論理回路の段数削減手法を提案し、実験を行なった。その結果、多くの回路で面積の増加も少なく、段数削減を

回路	In/Out	初期回路	適用結果	CPU
C1355*	41/32	619/1137/27	619/1137/27	0.7
C1908*	33/25	718/1335/37	757/1483/31	19.9
C2670*	233/140	1017/1893/26	1029/1953/20	22.6
C3540*	50/22	1161/2426/41	1196/2560/35	21.9
C432*	36/7	209/421/25	230/471/24	36.5
C5315	178/123	1929/4006/46	1961/4104/39	19.6
C6288*	32/32	2400/4752/123	2557/5156/98	28.3
C7552*	207/108	3044/5672/38	3055/5736/35	29.7
alu4	14/8	720/1441/42	770/1590/36	33.0
apex6	135/99	831/1497/19	862/1585/12	17.9
b9*	41/21	126/247/10	139/290/6	4.2
cm150a	21/1	70/131/15	62/121/9	2.2
comp	32/3	176/306/24	190/375/16	13.4
count	35/16	144/271/34	178/385/9	11.7
dalu*	75/16	1908/3899/38	1913/3937/29	39.6
des*	256/245	4679/10070/20	4681/10075/18	13.2
frg2	143/139	1133/2613/15	1141/2644/10	16.2
i10	257/224	2598/5319/54	2656/5501/44	37.3
pair	173/137	1668/3264/26	1785/3619/20	47.3
pcl	19/9	86/141/18	97/198/7	5.8
pcler8	27/17	103/174/18	126/254/8	9.2
rot*	135/107	676/1302/25	710/1415/18	18.8
t481*	16/1	3393/8144/20	3393/8144/20	7.9
x3	135/99	763/1776/19	779/1823/10	20.8

(ゲート数 / 結線数 / 段数) (秒)

\*はベンチマークによる推奨回路を示す。

表1: 実験結果

行なうことができた。しかしテクノロジーマッピングの後の遅延は、段数のみに単純に依存しないことが多いため、今後はマッピング後の遅延を考慮するように本手法を発展させていく予定である。

### 謝辞

本手法について有益な御示唆を頂いたイリノイ大学の室賀三郎教授、御討論下さった室賀研究室の皆様、またSBDDパッケージの使用を快諾していただいた矢島脩三教授、ならびに矢島研究室の皆様へ深謝致します。

### 参考文献

- [1] 石垣博康、澤田直、上林弥彦: 最長経路を含む部分回路置換による論理回路の段数削減手法、情報処理学会第46回全国大会、8M-02、1993.
- [2] S.Sawada, Y.Kambayashi, S.Muroga: Generation of Fan-in Restricted Initial Networks for Transduction Method, *Proc. SASIMI'92*, 1992.
- [3] S.Minato, N.Ishiura, S.Yajima: Shared binary decision diagram with attributed edges for efficient boolean function manipulation, In *Proc. 27th Design Automat. Conf.*, 1990.
- [4] S.Muroga, Y.Kambayashi, H.C. Lai, J. Niel, Culliney: The Transduction Method - Design of Logic Networks Based on Permissible Functions, *IEEE Transactions on Computers*, Vol.38, No.10, 1989.
- [5] K.J.Singh, A.R.Wang, R.K.Brayton, A.S-Vincentelli: Timing Optimization of Combinational Logic, In *Proc. ICCAD-88*, 1988.