

HDLによる通信制御用チップの開発環境の構築

1H-2

夏井 聡 島田 克之 山本 剛士 佐野 直樹 久保 典夫
 横河電機(株) デバイス研究所

1. はじめに

HDLによるトップダウン設計手法により、通信制御用チップを開発した。その際、効率の良い設計環境を実現するために、汎用シミュレータ(Verilog-XL)を用い、通信制御用チップに有効な開発環境を構築した。本開発環境では、周辺ハードウェアと通信メディアをVerilog-HDLにより記述し、システムレベル・シミュレーションにより、機能検証の精度の向上を実現している。また、Verilog-HDLによる簡易言語インターフェイスを構築し、ワークステーション上でのチップの動作検証を容易にした。我々は、本開発環境を実チップ開発に適用し、その有用性を確認した。本稿では、本開発環境と通信チップ開発での適用例について述べる。

2. 開発環境

Figure 1は、今回開発した通信制御チップ用の開発環境である。この環境の特徴は、HDL機能記述による通信チップ周辺回路構築と、HDLによる統合化されたテスト環境である。

HDL機能モデル Verilog-HDLによりプロセッサモデルとフィールドバスモデルを構築し、シミュレーションによる機能検証の精度を向上させる。特に、フィールドバスモデルでは、通信メディア特有のJitter制御やBit Time制御、あるいは、異常フレームの生成及びチェックなどが可能である。

一方、通信制御チップのテストベクタは、これらの機能モデルとチップのインターフェースから信号を抽出することにより自動的に作成される。

テストモデル 上記機能モデルの統合とVerilog-HDLを応用した簡易言語によるテスト環境を構築し、簡単な手続き構文で機能検証におけるデバック効率を向上させる。

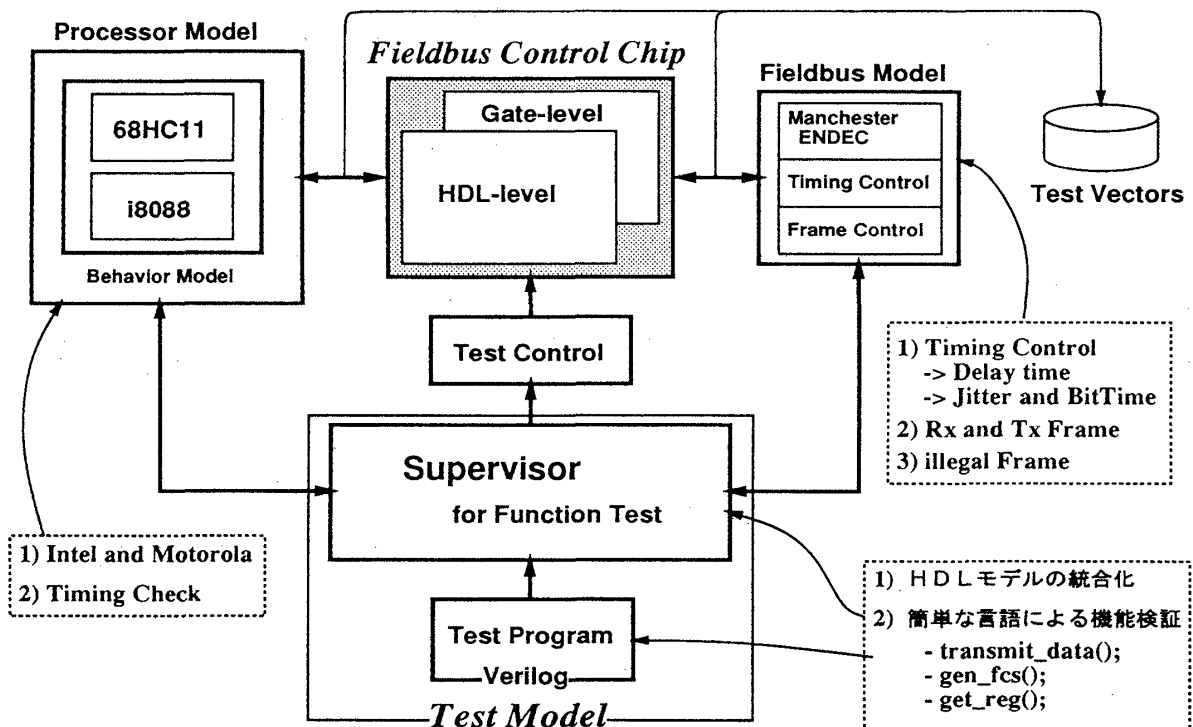


Figure 1: 開発環境

3. 適用事例

本開発環境を、IEC/ISA-S50.02 フィールドバス規定に基づく通信制御チップの開発に適用した。本通信チップは、フィールドバスの物理層とデータリンク層の1部の機能を提供している。

3.1 フィールドバス制御用チップ

(1) 概要

- プロセス : 0.8 μ m CMOS ゲートアレイ
- パッケージ : 44ピン PLCC
- 消費電力 : 3mW
- ゲート数 : 約 8000 ゲート
- ソース記述 : Verilog HDL (約 6000 line)
- 故障検出率 : 96%(テストベクタ:
約 50000 パターン)

(2) 機能

- ・データ伝送速度 31.25Kbps
- ・Manchester Encoder/Decoder
- ・Jabber Inhibit 機能
- ・16ビット FCS 自動生成およびチェック
- ・チップ内部および外部ループバック機能
- ・8バイト送信 FIFO および 4バイト受信 FIFO
- ・Bit time Timer

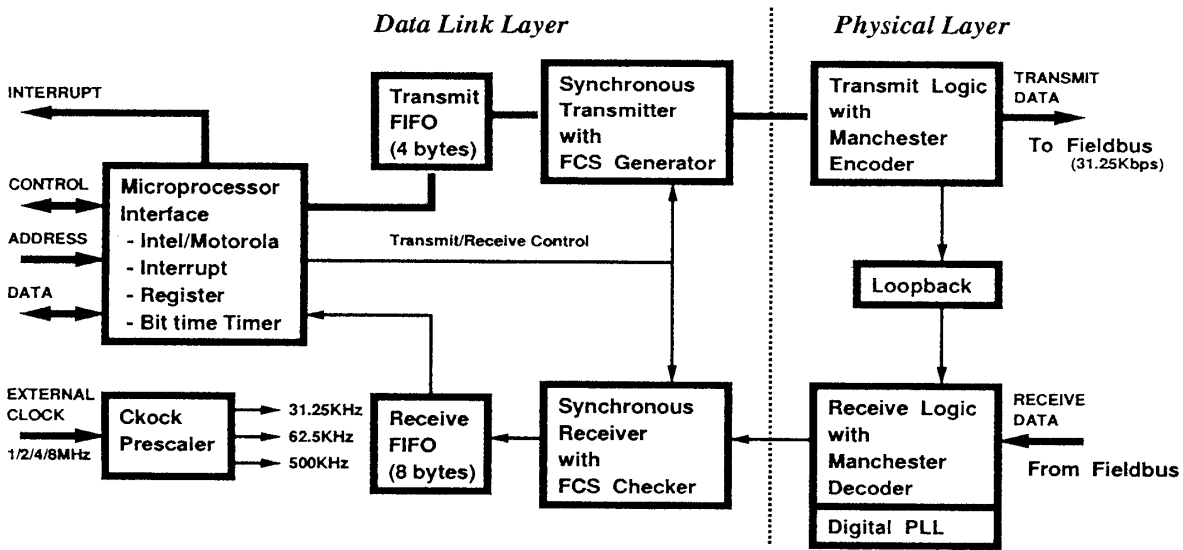


Figure 2: フィールドバス制御チップの構成図

3.2 適用結果

1. HDL 機能モデルによる機能検証の結果、設計不良のない精度の高いチップが開発できた。
2. Figure 1 のテスト環境を拡張し、3台のステーションによる通信モデル (Figure 3) を構築し、現実の通信動作環境に近い検証を実施することができた。
3. テストモデルにより、以下のように短期間でチップを開発することができた。同時に、95%以上という高い水準の故障検出率を達成した。

仕様	設計	テスト	ES 製作	基本評価
4W	6W	6W	4W	4W
Total = 24 週				

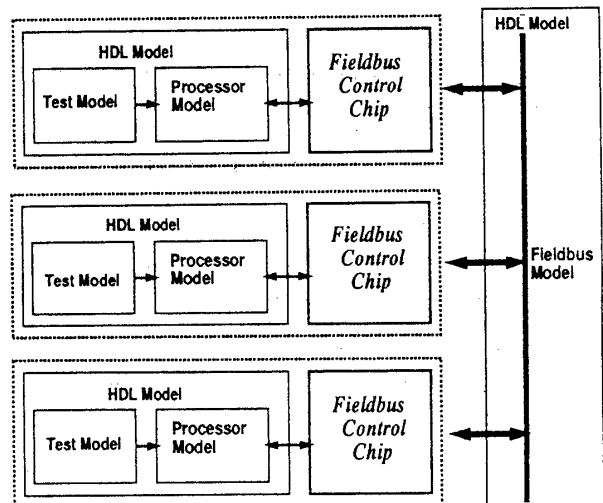


Figure 3: 複数チップ間の検証

4. まとめ

通信制御用チップの開発環境を構築し、フィールドバス制御用チップの開発に適用し、その有効性を確認した。今後は、データリンク層を含む上位層のソフト開発とチップ開発を、コンカレントに開発できる効率的な環境の構築が考えられる。