

HDLによるCPUコア搭載ASIC開発環境の構築

1H-1

山本 剛士 則安 学 夏井 聡 佐野 直樹 久保 典夫
 横河電機(株) デバイス研究所

1. はじめに

近年、機器やシステムの高集積化、小型化をねらいとしたCPUコア搭載ASICの開発が盛んに行なわれている。CPUコア、ユーザロジック等の構成要素からなるASICの開発は、従来、ユーザロジック部を別途ASIC化あるいはディスクリート部品で設計してボード上に実装し、ICE(インサーキットエミュレータ)を用いて行なうのが代表的である。

今回、我々は汎用ワークステーション上で汎用シミュレータ(Verilog-XL)により、ソフト、ハードの開発とデバッグがコンカレントにできるシミュレーション環境を構築した。本開発環境では、構成要素の機能、タイミングは全てVerilog-HDL記述され、ユーザロジックに対して効果的なソフト、ハードデバッグを行なうためのICE機能をサポートしている。

本稿では、従来の開発環境の現状、本開発環境の特徴及び開発効率の向上等について述べる。

2. 従来の開発環境の現状

従来のCPUコア搭載ASICの開発は、設計したユーザロジック部を一旦ASIC化あるいはディスクリート部品で設計してボード上に実装し、ICEを用いてソフト、ハードデバッグを行なった後、1チップ化するのが代表的である。(Figure1)

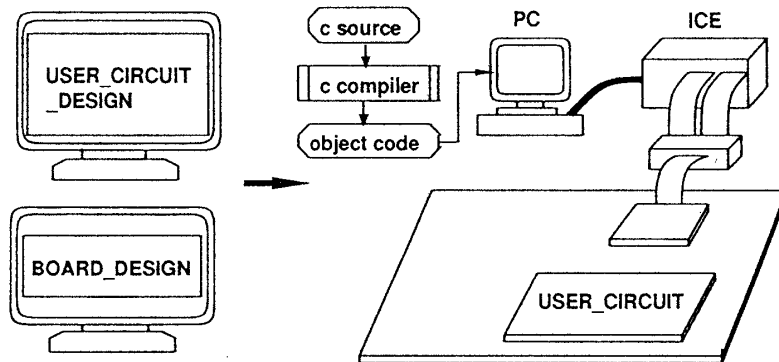


Figure 1: 従来のCPUコア搭載ASICの開発/デバッグ環境

3. 開発、デバッグ環境

Figure2にCPUコア搭載ASICの開発、デバッグ環境を示す。

3-1. CPUコアのHDL化

ユーザロジックの仕様から、16ビットCPUコア(Fujitsu QCM16)を選定した。命令数339、命令実行サイクル数をフルサポートし、外部バスタイミングが設定可能なHDLモデル(ソース記述6000行)を作成した。

メーカから提供されるCコンパイラにより生成されたオブジェクトコードは汎用シミュレータの組み込み関数を利用してROMモデルにダウンロードされ、命令が実行される。

3-2. ICE(インサーキットエミュレータ)機能の実現

ユーザロジックに対する、ソフト、ハードの効果的なデバッグを行なうため、ICE機能をHDLで実現した。以下に主な機能を列挙する。

- 1) 逆アセンブル機能
- 2) CPU内部レジスタ表示
- 3) メモリダンプ機能
- 4) ステップ実行
- 5) ブレークポイント設定
- 6) 実行時間測定
- 7) ユーザロジックに対するREAD、WRITE機能

The Development Environment of ASIC with CPU core by using the HDL
 Takeshi Yamamoto, Manabu Noriyasu, Satoru Natsui, Naoki Sano, Norio Kubo
 Devices Laboratory, Yokogawa Electric Corporation

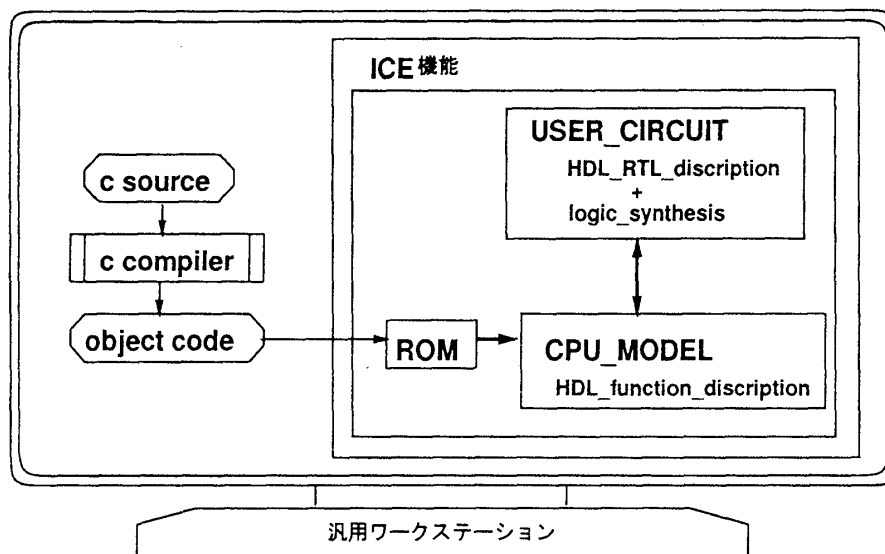


Figure 2: CPU コア搭載 ASIC の開発/デバッグ環境

4. 開発効率

Figure 3に従来の開発方式と本開発方式との開発期間の比較を示す。従来方式ではソフト、ハードの開発とICEを用いてのデバッグがシーケンシャルに行なわれる。これに対し本開発環境を用いれば、ソフト、ハードの開発とデバッグをコンカレントに実行でき、開発効率の大幅な向上が期待できる。

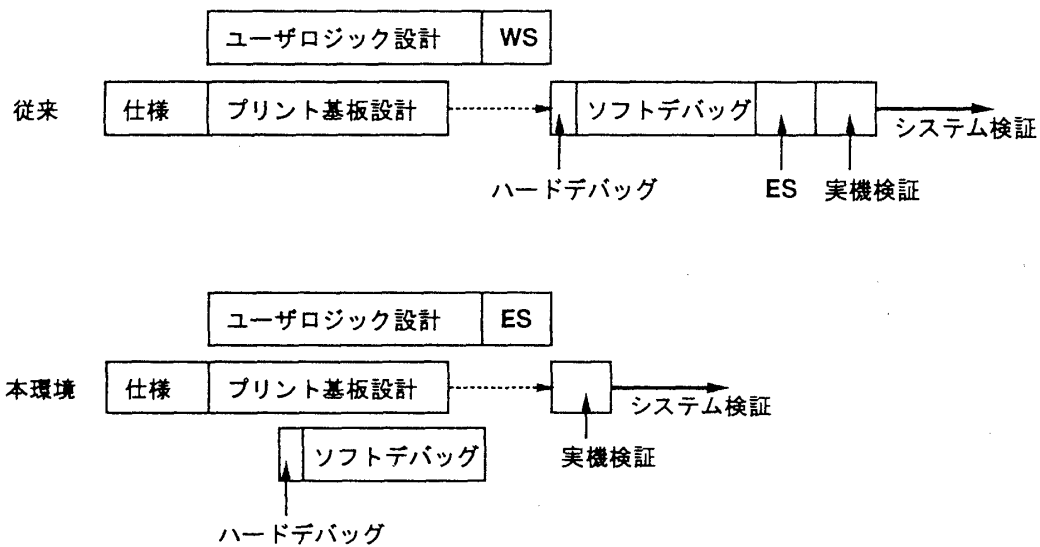


Figure 3: 開発方式と開発期間

5. まとめ

CPUコア、ICE機能をHDL化することにより、汎用ワークステーション上での汎用シミュレータによる、CPUコア搭載ASICの開発環境が構築できた。これにより従来の開発期間の大幅な短縮が期待できる。本システムを実チップ開発に適用することを検討している。