

## SPARC Window Register の一構成法について

4G-4

岩城 史生<sup>†</sup> 広瀬 文保<sup>‡</sup> 久保沢 元<sup>‡</sup><sup>†</sup>富士通東北デジタルテクノロジー(株) <sup>‡</sup>(株)富士通研究所

## 概要

SPARCアーキテクチャではプロセス切り替えの高速化などの為に、レジスタウィンドウという構成を用いている。(図1) ここでは、ある動作サイクルで異なるウィンドウが同時にアクセスされることはない。そこでその点に着目し、レジスタウィンドウをグループ化することでメモセルあたりのトランスファークローク及び配線領域を削減し、又アクセスを高速化する方式とその評価について述べる。

## 1 序論

最近のプロセッサでは、演算器を複数備え、複数の命令を同時にパイプライン的に処理するアーキテクチャが主流となりつつある。このことは、レジスタは同時に複数のポートからアクセスされることを意味する。しかし SPARC アーキテクチャでは、レジスタウィンドウを実現するために大容量のレジスタを必要としているため、結果として、レジスタの物量の増大及びそれに起因するアクセス速度の低下をまねくという問題が生じている。

## 2 レジスタ階層法

あるサイクルでアクセスされるウィンドウは一つであることに着目し、同時にアクセスされることのないウィンドウをあつめてグループ化(図2)する。そしてグループ化されたメモリを選択するセレクタと、そのグループのどれか一つのメモリをアクセスするトランスファークローク(TG)を設ける。これによりメモリへのアクセスに必要なTGが一つのグループ内で共通化され、結果としてその数を削減することができる。さらにこの削減によってTGを制御するデコーダや制御信号を伝える配線量も減る。すなわち、メモリのビットあたりの物量が削減される。そして物量が減ることでTGアクセス信号やビットライン(BL)の長さや負荷が減るため、動作速度の向上も望める。

## 3 評価

レジスタ階層法の評価を従来の構成と比較することで行なう。

従来の構成法の回路を図3に、レジスタ階層法の回路を図4に示す。この回路はいずれも相補式BLを用いた回路である。これらは、それぞれ下表のAとCに対応する。相補式とはメモリアクセスを2本のBLを用いて行なうもので、これに対し、1本のBLでアクセスを行なう方式を単線式と呼ぶ。単線式は、相補式の回路からリードバッファとTGを半分取り去った回路である。

相補式は2本のBL間にあらわれる微小電位差をアンプで増幅してデータを出力する。これに対して単線式では、1本のBLの電位とアンプがもっているリファレンス電位との電位差を増幅してデータを出力する。したがって単線式の場合、リファレンスの電位をまたぐようなノイズがBLにのるとデータが化けてしまう。これを避けるため、単線式のビットラインとリファレンスの間には、相補式に比べて、より大きな電位差を持たせる必要がある。つまりメモリがビットラインを大きく駆動しなければならぬため、動作速度には悪影響を及ぼす。

- 比較回路 : 128ワード/64ビット 8リードポート、4ライトポート

	相補式	単線式
従来の構成法	A	B
レジスタ階層法	C	D

- 比較ポイント

- リードアクセスにおけるアクセス時間
- メモリ1ビットあたりの面積

On constructing a SPARC window registre.

Fumio Iwaki<sup>†</sup> Fumiyasu Hirose<sup>‡</sup> Hajime Kubosawa<sup>‡</sup>

<sup>†</sup>FUJITSU TOHOKU DIGITAL TECHNOLOGY LTD. <sup>‡</sup>FUJITSU LABORATORIES LTD.

### 4 結論

図5に比較結果を示す。この図では各構成の性能を、従来構成の相補式(A)を100として表してある。

- アクセス時間                    A: 100    B: 119    C: 88    D: 88  
 従来の構成に対してレジスタ階層法が高速である。また単線式に対して相補式が高速である。  
 (ただこの場合、レジスタ階層法ではアンプの遅延と相殺されてほぼ同じ速度となった)。
- レジスタのレイアウト面積        A: 100    B: 69    C: 36    D: 27  
 従来の構成に対してレジスタ階層法は半分以下の面積になる。また相補式より単線式の方が小さい。

結論として、相補式/単線式のいずれにしても、レジスタ階層法を用いると、従来の構成にくらべて高速動作・小面積を実現することができるといえる。

従来において、面積を重視する場合は、速度を犠牲にして単線式を採用せざるを得なかった。しかしレジスタ階層法を用いることにより、相補式を採用して、従来より高速・小面積なレジスタが実現できる。また単線式を用いれば、さらに小さな面積のレジスタを構成できる。

なお、一概に速度と面積を同列に扱って評価することは出来ないかもしれないが、一つの目安としてA~Dの原点からの距離を、やはりAを100として算出すると次のようになる。

A:100    B: 98    C: 67    D: 65

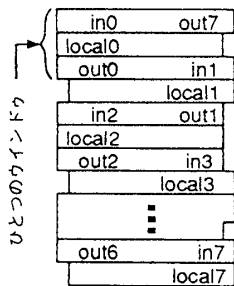


図1. レジスタウインドウの構成

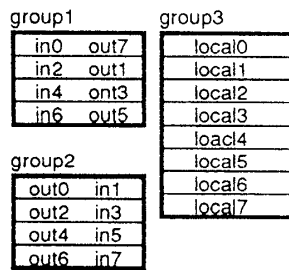


図2. レジスタウインドウのグループ化

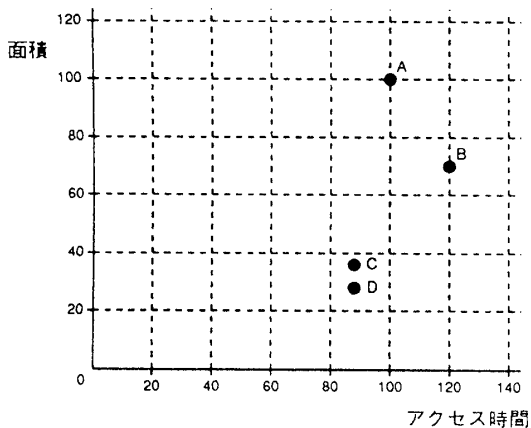


図5. 性能評価結果 (回路Aを100とした比較値)

RBL: Read Bit Line    WBL: Write Bit Line  
 mem: 1bit memory

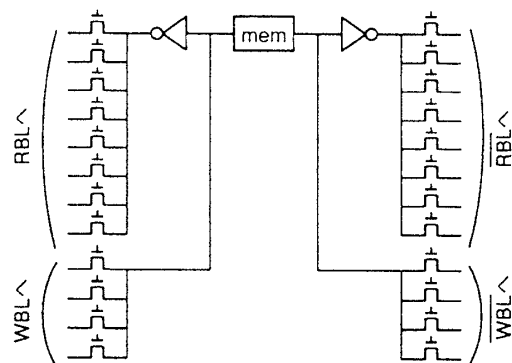


図3. 従来の構成法を用いた相補アクセス式メモリ(A) (1ビット)

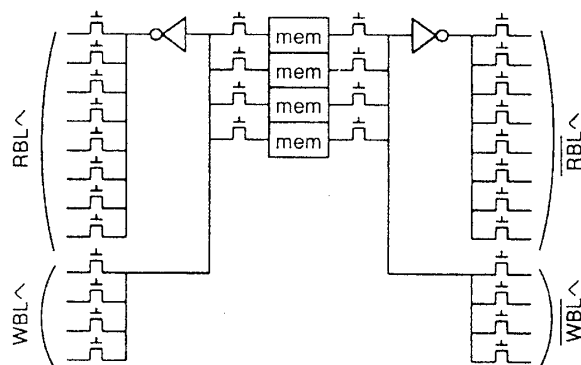


図4. レジスタ階層法を用いた相補アクセス式メモリ(C) (4ビット/1グループ)